

PATENT ABSTRACTS OF JAPAN

B 2 1

(11)Publication number : 09-261643

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H04N 7/30

G06F 17/14

H04N 1/41

(21)Application number : 08-086883

(71)Applicant : HITACHI LTD
HITACHI MICROCOMPUT SYST LTD

(22)Date of filing : 09.04.1996

(72)Inventor : SAWAMURA HIDEHIKO
SHIBAKAWA SHUICHI

(30)Priority

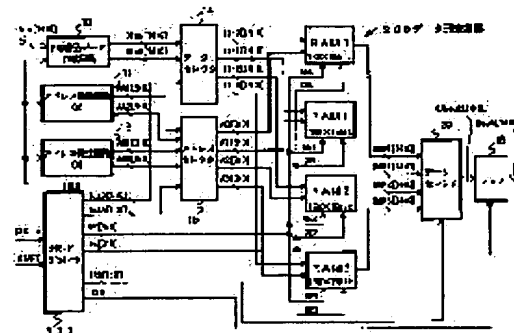
Priority number : 08 25854 Priority date : 19.01.1996 Priority country : JP

(54) IMAGE PROCESSING METHOD, IMAGE PROCESSING CIRCUIT, IMAGE PROCESSOR AND IMAGE COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain read/write of a DCT coefficient from/to a RAM with an existing specification even when a data speed of the DCT coefficient is higher than the read/write speed of the RAM.

SOLUTION: Output data after discrete cosine transformation(DCT) in a 1st direction are divided alternately in the order of input and written in RAM 0-RAM 3 to convert a data string thereby decreasing an apparent data speed. Thus, even when a data speed of the DCT coefficient is higher than the read/write speed of the RAMs, the DCT coefficient is read/written in the RAM with an existing RAM specification.



LEGAL STATUS

[Date of request for examination]

04.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-261643

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
G 0 6 F 17/14			1/41	B
H 0 4 N 1/41			G 0 6 F 15/332	Z

審査請求 未請求 請求項の数11 O L (全 28 頁)

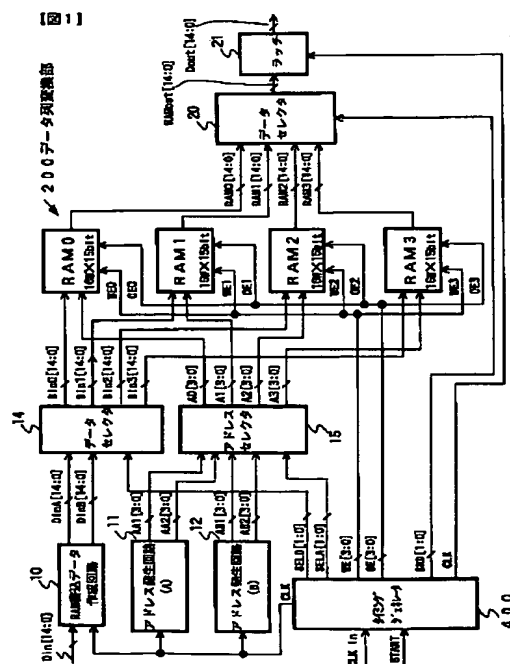
(21) 出願番号	特願平8-86883	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成8年(1996)4月9日	(71) 出願人	000233169 株式会社日立マイコンシステム 東京都小平市上水本町5丁目22番1号
(31) 優先権主張番号	特願平8-25854	(72) 発明者	澤村 秀彦 東京都小平市上水本町5丁目20番1号 株 式会社日立製作所半導体事業部内
(32) 優先日	平8(1996)1月19日	(72) 発明者	柴川 修一 東京都小平市上水本町5丁目22番1号 株 式会社日立マイコンシステム内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 玉村 静世

(54) 【発明の名称】 画像処理方法、画像処理回路、画像処理装置、及び画像通信装置

(57) 【要約】

【課題】 RAMの読出し書き込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書き込みを可能とすることにある。

【解決手段】 第1方向への離散コサイン変換の出力データを、その入力順に交互に分けてRAM0～RAM3に書込んで、データ列変換を行うことにより、見かけ上のデータ速度を落すことにより、RAMの読出し書き込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書き込みを可能とする。



【特許請求の範囲】

【請求項1】 入力画像ブロックについて第1方向に離散コサイン変換を行う第1ステップと、この第1ステップの離散コサイン変換により得られたデータ列の並べ替えを行う第2ステップと、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行う第3ステップとを含む画像処理方法において、上記第2ステップは、上記第1ステップでの離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んでデータ列の並べ替えを行うステップを含むことを特徴とする画像処理方法。

【請求項2】 入力画像ブロックについて第1方向に離散コサイン変換を行う第1ステップと、この第1ステップの離散コサイン変換により得られたデータ列の並べ替えを行う第2ステップと、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行う第3ステップとを含む画像処理方法において、上記第2ステップは、上記第1ステップでの離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を $1/2$ に変換し、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして複数の記憶手段に割振り、上記複数の記憶手段の出力データをクロックに同期して切換えることで、データ列入力時のデータ速度に変換するステップを含むことを特徴とする画像処理方法。

【請求項3】 2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1ステップと、この第1ステップの逆離散コサイン変換により得られたデータ列の並べ替えを行う第2ステップと、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第3ステップとを含む画像処理方法において、上記第2ステップは、上記第1ステップでの逆離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んでデータ列の並べ替えを行うステップを含むことを特徴とする画像処理方法。

【請求項4】 2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1ステップと、この第1ステップの逆離散コサイン変換により得られたデータ列の並べ替えを行う第2ステップと、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第3ステップとを含む画像処理方法において、上記第2ステップは、上記第1ステップでの逆離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を $1/2$ に変換し、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして複数の記憶手段に割振り、上記複数の記憶手段の出力データをクロックに同期して切換えることで、データ列入力時のデータ速度に変換するステップを含むこと

を特徴とする画像処理方法。

【請求項5】 入力画像ブロックについて第1方向に離散コサイン変換を行う第1演算手段と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段と、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行う第2演算手段とを含む画像処理回路において、

上記データ列変換手段は、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段と、

10 上記第1演算手段の出力データを、その入力順に交互に分ける書込みデータ作成手段と、

上記書込みデータ作成手段の出力データを上記複数の記憶手段に振分けるセレクタと、

を含むことを特徴とする画像処理回路。

【請求項6】 入力画像ブロックについて第1方向に離散コサイン変換を行う第1演算手段と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段と、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行う第2演算手段とを含む画像処理回路において、

20 上記データ列変換手段は、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段と、

上記第1手段での離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を $1/2$ に変換する書込みデータ作成手段と、

この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして上記複数の記憶手段に割振るための第1セレクタと、

30 上記複数の記憶手段の出力データをクロックに同期して切換えることで、データ列入力時のデータ速度に変換する第2セレクタとを含むことを特徴とする画像処理回路。

【請求項7】 2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1演算手段と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段と、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第2演算手段とを含む画像処理回路において、

40 上記データ列変換手段は、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段と、

上記第1演算手段の出力データを、その入力順に交互に分ける書込みデータ作成手段と、

上記書込みデータ作成手段の出力データを上記複数の記憶手段に振分けるセレクタと、

を含むことを特徴とする画像処理回路。

【請求項8】 2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1演算手段と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段と、並べ替

えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第2演算手段と含む画像処理回路において、

上記データ列変換手段は、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段と、

上記第1手段での離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を1/2に変換する書き込みデータ作成手段と、

この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして上記複数の記憶手段に割振るための第1セレクトと、

上記複数の記憶手段の出力データをクロックに同期して切換えることで、データ列入力時のデータ速度に変換する第2セレクトとを含むことを特徴とする画像処理回路。

【請求項9】 動き補償されたフレームと現フレームとの差分画像ブロックの離散コサイン変換を行う第1処理回路と、上記第1画像処理部の変換出力を量子化する量子化部と、上記量子化部の出力データの可変長符号化を行う可変長符号化部と、上記量子化部の出力データを逆量子化する逆量子化部と、上記逆量子化部の出力データの逆離散コサイン変換を行う第2処理回路とを含む画像処理装置において、

上記第1処理回路は請求項3又は4記載の画像処理回路を含み、上記第2処理回路は請求項7又は8記載の画像処理回路を含むことを特徴とする画像処理装置。

【請求項10】 入力データの可変長復号化を行う可変長復号化部と、上記可変長復号化部の出力データの逆量子化を行う逆量子化部と、上記逆量子化部の出力データの逆離散コサイン変換を行う第3処理回路を含む画像処理装置において、

上記第3画像処理回路は請求項7又は8記載の画像処理回路を含むことを特徴とする画像処理装置。

【請求項11】 画像データを圧縮して通信回線へ送出する送信側装置と、上記通信回線を介して伝達されたデータを伸長して元の画像データを復元する受信側装置とを含む画像通信装置において、

上記送信側装置は請求項9記載の画像処理装置を含み、上記受信側装置は請求項10記載の画像処理装置を含むことを特徴とする画像通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像のデジタル処理技術、さらには画像データの圧縮技術に好適な離散コサイン変換（「DCT」とも称する）、及び逆離散コサイン変換（「逆DCT」とも称する）技術に関し、例えば画像処理用LSIに適用して有効な技術に関する。

【0002】

【従来の技術】画像圧縮は、画像が持つ空間的、時間的冗長性を取り除くことによりデータ量を減らす技術であ

り、それは画像通信、特にテレビ電話などに代表される動画像通信装置において重要な技術とされている。画像圧縮における要素技術は3種類ある。すなわち、空間座標の値を周波数に変換するための「DCT」、変換された係数の語長を打切ることによりデータ量を減らすための「量子化」、及び量子化されたデータの発生頻度に適するような長さの符号を割当てるための「可変長符号化」の3種類である。

【0003】DCTでは、原画を小さなブロックに分け、各ブロックの画素値に対して、DCT特有の係数を掛けて足しあわせる。この結果、空間座標データが周波数データに変換される。DCTだけでは圧縮はできないが、広く分布していたデータを1箇所に集中できるので、以降の量子化による圧縮処理を容易にする。

【0004】尚、DCTについて記載された文献の例としては、特開平4-16066号公報がある。

【0005】

【発明が解決しようとする課題】2次元DCTについて説明する。例えば、図3(a)に示される輝度画面（352画素×288画素）、図3(b)に示される色差（Cb）画面（176画素×144画素）、図3(c)に示される色差（Cr）画面（176画素×144画素）が、図3(d)に示されるような8画素×8画素を1画像ブロックとしてブロック分けされ、そのブロック毎に2次元DCTが行われる。このとき、画像ブロックは連続して入力され、1画像ブロック64個の画素データが入力された後、連続して次の画像ブロックの画素データが入力されるため、パイプライン処理が行われる。2次元DCTは、先ず行方向に1次元変換され、次に、得られた結果が列方向に1次元変換される。つまり、行方向、及び列方向にそれぞれ1次元のDCTが行われることにより、結果的に2次元DCTが行われる。

【0006】2次元DCTを行うLSIでは、画像ブロックの横方向の画像データを用いて1次元DCTを1度行うことで、横方向の周波数成分（DCT係数）を求め、その後同じ周波数成分同士もう1度1次元DCTを行うようにしている。つまり、第1DCT演算器で1回目の1次元DCT演算が行われ、その出力データの順序が並べ替えられ、次に第2DCT演算器で2度目のDCT演算が行われる。データ列変換はランダム・アクセス・メモリ（以下、「RAM」という）を介することで可能とされる。例えば、画素値がF[0,0]～F[7,7]で示されるとき、第1DCT演算器からは、図4に示される順序（1～64）でデータが出力されるものとする、それがRAMに入力されて、このRAMから、図5に示される順序（1～64）でデータ出力が行われる。そのようにして、データの列の並べ替えが行われる。

【0007】すなわち、1画像ブロックのDCT係数の並べ替えを行うため8画素×8画素のデータを保管でき

るRAMを1個用い、画像ブロックをDC T係数をRAMアドレスマップ1(図6)又はマップ2(図7)に示すRAMアドレスに書込み、連続で入力する画像ブロック毎に、マップ1とマップ2とを切替える。例えば、マップ1によりRAMに書込んだ場合は次の画像ブロックはマップ2により書込み、また、マップ2でRAMに書込んだ場合は次の画像ブロックはマップ1により書込む。そのような動作を繰返すことによってデータ列変換を行うことができる。

【0008】上記のようなデータ列変換方式を用いるとき、DC T係数が書込まれるRAM動作は、以下のようになる。

【0009】図8に示されるように、DC T係数と同周期のアドレスAと、クロックCLKの周期と同じライトイネーブル信号WEを用い、WEが“H”(ハイレベルを意味する)になるとアドレス××に書かれていた前画像ブロックのDC T係数F'[a, b]が読出され、WEが“L”(ローレベルを意味する)となると、同アドレス××に新たな画像ブロックのDC T係数F[x, y]を書込むように制御される。

【0010】しかしながら、DC T係数のデータ速度がより高速になった場合、固定値となるアドレスアクセスタイムとデータホールドタイムによって、RAMの読出しデータ確定時間が短くなることから、データの読出しが困難になる。また、ライトイネーブル信号WEがクロックCLKと同じパルス幅のために、クロックCLKが高速になると、ライトイネーブル信号WEの“L”の期間が最小ライトパルス幅より短くなるため、RAMへのデータ書込みができなくなる。つまり、画像圧縮処理の高速化の要請から、DC T係数のデータ速度が高速化された場合を考えると、既存RAMの仕様では、DC T係数の読出し書込みが不可能になる。

【0011】本発明の目的は、RAMの読出し書込み速度に比べてDC T係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DC T係数の読出し書込みを可能とするための技術を提供することにある。

【0012】本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】すなわち、入力画像ブロックについて第1方向に離散コサイン変換を行い、この離散コサイン変換により得られたデータ列の並べ替えを行い、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行うとき、上記第1方向への離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んでデータ列の並べ替えを行う

ようにする。

【0015】入力画像ブロックについて第1方向に離散コサイン変換を行い、この離散コサイン変換により得られたデータ列の並べ替えを行い、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行うとき、上記第1方向への離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を1/2に変換し、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして複数の記憶手段に割振り、上記複数の記憶手段の出力データをクロックに同期して切替えることで、データ列入力時のデータ速度に変換するようにする。

【0016】2次元離散コサイン変換処理が施された画像ブロックを取り扱う場合には、2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行い、この逆離散コサイン変換により得られたデータ列の並べ替えを行い、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行うとき、上記第1方向への離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んでデータ列の並べ替えを行うようにする。

【0017】2次元離散コサイン変換処理が施された画像ブロックについて第1方向に離散コサイン変換を行い、この離散コサイン変換により得られたデータ列の並べ替えを行い、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行うとき、上記第1方向への離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を1/2に変換し、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして複数の記憶手段に割振り、上記複数の記憶手段の出力データをクロックに同期して切替えることで、データ列入力時のデータ速度に変換するようにする。

【0018】入力画像ブロックについて第1方向に離散コサイン変換を行う第1演算手段(100)と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段(200)と、並べ替えられたデータについて上記第1方向とは異なる第2方向に離散コサイン変換を行う第2演算手段(300)と含んで第1画像処理回路が形成されるとき、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段(RAM0~RAM3)と、上記第1演算手段の出力データを、その入力順に交互に分ける書込みデータ作成手段(10)と、上記書込みデータ作成手段の出力データを上記複数の記憶手段に振分けるセレクタ(14)とを設ける。

【0019】入力画像ブロックについて第1方向に離散コサイン変換を行う第1演算手段(100)と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段(200)と、並べ替えられたデータに

ついて上記第1方向とは異なる第2方向に離散コサイン変換を行う第2演算手段(300)と含んで第2画像処理回路が形成されるとき、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段(RAM0~RAM3)と、上記第1手段での離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を1/2に変換する書込みデータ作成手段(10)と、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして上記複数の記憶手段に割振るための第1セレクタ(14)と、上記複数の記憶手段の出力データをクロックに同期して切替えることで、データ列入力時のデータ速度に変換する第2セレクタ(20)とを設ける。

【0020】2次元離散コサイン変換処理が施された画像ブロックを取り扱う場合には、2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1演算手段(100)と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段(200)と、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第2演算手段(300)と含んで第3画像処理回路が形成されるとき、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段(RAM0~RAM3)と、上記第1演算手段の出力データを、その入力順に交互に分ける書込みデータ作成手段(10)と、上記書込みデータ作成手段の出力データを上記複数の記憶手段に振分けるセレクタ(14)とを設ける。

【0021】2次元離散コサイン変換処理が施された画像ブロックについて第1方向に逆離散コサイン変換を行う第1演算手段(100)と、この第1演算手段により得られたデータ列の並べ替えを行うデータ列変換手段(200)と、並べ替えられたデータについて上記第1方向とは異なる第2方向に逆離散コサイン変換を行う第2演算手段(300)と含んで第4画像処理回路が形成されるとき、それぞれ上記第1演算手段の出力データを記憶可能な複数の記憶手段(RAM0~RAM3)と、上記第1手段での離散コサイン変換の出力データを2系統に分けることで見かけ上のデータ速度を1/2に変換する書込みデータ作成手段(10)と、この変換に係る一方のデータ列を、他方のデータ列より1クロック分位相をずらして上記複数の記憶手段に割振るための第1セレクタ(14)と、上記複数の記憶手段の出力データをクロックに同期して切替えることで、データ列入力時のデータ速度に変換する第2セレクタ(20)とを設ける。

【0022】動き補償されたフレームと現フレームとの差分画像ブロックの離散コサイン変換を行う第1処理回路(51)と、上記第1画像処理部の交換出力を量子化する量子化部(52)と、上記量子化部の出力データの

可変長符号化を行う可変長符号化部(53)と、上記量子化部の出力データを逆量子化する逆量子化部(54)と、上記逆量子化部の出力データの逆離散コサイン変換を行う第2処理回路(55)とを含んで画像処理装置が構成されるとき、第1処理回路として、上記第1画像処理回路又は上記第2画像処理回路を適用し、上記第2処理回路として、上記第3画像処理回路又は上記第4処理回路を適用することができる。

【0023】入力データの可変長復号化を行う可変長復号化部(71)と、上記可変長復号化部の出力データの逆量子化を行う逆量子化部(72)と、上記逆量子化部の出力データの逆離散コサイン変換を行う第3処理回路(55)を含んで画像処理装置が形成されるとき、上記第3画像処理回路として、上記第3処理回路又は上記第4処理回路を適用することができる。

【0024】そして、そのような画像処理装置を含んで画像通信装置を形成することができる。

【0025】上記した手段によれば、第1方向への離散コサイン変換又は逆離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んで、データ列変換を行うことにより、見かけ上のデータ速度を落すことができ、このことが、RAMの読出し書込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書込みを可能とする。

【0026】

【発明の実施の形態】まず、本発明に係る画像処理方法の一実施形態である離散コサイン変換方法について説明する。

【0027】第1回目のDCT係数出力が、図4に示される順序で行われるのものとすると、その後段において、DCT係数を入力順に交互に分けることで、見かけ上のデータ速度を入力時の1/2にし、2系統のデータ列に分けて4個のRAMに書込むようにする。1画像ブロック分の2系統のデータを4個のRAM(RAM0~RAM3)に書込む場合、第1のDCT係数分配対応(図9)、又は第2のDCT係数分配対応(図10)となるように制御される。すなわち、第1のDCT係数分配対応(図9)では、DCT係数F[0.0]~F[0.7]、F[2.0]~F[2.7]、F[4.0]~F[4.7]、F[6.0]~F[0.7]については、RAM0、RAM1に交互に書込まれ、DCT係数F[1.0]~F[1.7]、F[3.0]~F[3.7]、F[5.0]~F[5.7]、F[7.0]~F[7.7]については、RAM2、RAM3に交互に書込まれる。また、第2のDCT係数分配対応(図10)では、DCT係数F[0.0]~F[0.7]、F[2.0]~F[2.7]、F[4.0]~F[4.7]、F[6.0]~F[0.7]については、RAM0、RAM2に交互に書込まれ、DCT係数F

[1. 0] ~ F [1. 7]、F [3. 0] ~ F [3. 7]、F [5. 0] ~ F [5. 7]、F [7. 0] ~ F [7. 7] については、RAM1、RAM3に交互に書込まれる。

【0028】この書込を制御するとき、第1のDCT係数分配対応(図9)で書込んだ場合、次の画像ブロックは第2のDCT係数分配対応(図10)となるように書込み、第2のDCT係数分配対応(図10)で書込んだ場合、次の画像ブロックは第1のDCT係数分配対応

(図9)となるように書込み、画像ブロック毎にRAM 10 へのDCT係数分配対応を切替える。

【0029】DCT係数を書込む際、DCT係数を書込むアドレスを用いてRAMに書込まれている前画像ブロックのDCT係数を読出す。このようにデータ列を2系統に分け、RAMを4個用いてRAMへの読出し書込みを前述のように制御することによって、既存RAMの仕様であるにもかかわらず、DCT係数のデータ速度が高速になった場合に対応することができる。

【0030】前画像ブロックのDCT係数F [0. 0]、F [0. 1] … F [7. 7] が第2のDCT係数 20 分配対応(図10)でRAMに書込まれていた場合、新しい画像ブロックのDCT係数F' [0. 0]、F' [0. 1] … F' [7. 7] は、第1のDCT係数分配対応(図9)となるように、4つのRAM(RAM0 ~ RAM3)に書込まれる。その場合の第1のRAM入出力タイミングが、図13、図14に示される。尚、図13、図14は1画像ブロック(DCT係数64個)分についてのタイミングであって、時間的に連続されたものであるが、紙面の都合により2分割されている。

【0031】第1のDCT係数分配対応(図9)をRAM 30 別に分けると第1のRAM別対応(図11)となる。RAMアドレスは16進表示である(以下、本明細書において同じ)。DCT係数F' [0. 0]、F' [0. 1] … F' [7. 7] はデータ周期が2倍の2系統のデータ列、すなわちDCT係数AとDCT係数Bとに分けられる。DCT係数Aは、F' [0. 0]、F' [0. 2]、F' [0. 4]、F' [0. 6] … F' [7. 6] であり、DCT係数Bは、F' [0. 1]、F' [0. 3]、F' [0. 5]、F' [0. 7] … F' [7. 7] である。

【0032】各RAMの所定のアドレスにDCT係数が書込まれるように、図15(a)に示されるRAMアドレス発生順序と同じアドレス列AA1及びAA2が作られる。アドレス列AA1はDCT係数Aと同期しており、アドレス列AA2はDCT係数Bと同期している。DCT係数AはRAM0とRAM2とに分配されて書込まれる。アドレスAA1を用いて書込まれている前画像ブロックのDCT係数を読出して、新しい画像ブロックのDCT係数を書込むような、読出し書込み制御が行われる。そのような書込み読出し動作が4データずつRA 50

MOとRAM2で交互に行われる。

【0033】この動作は、DCT係数Aが全てRAM0とRAM2に書込まれるまで繰返される。先ず、RAM0のアドレス00により前画像ブロックのDCT係数であるF [0. 0] が読出されて、新たな画像ブロックのDCT係数であるF' [0. 0] が書込まれる。アドレス01によりF [2. 0] が読出されて、F' [0. 2] が書込まれる。アドレス02によりF [4. 0] が読出されて、F' [0. 4] が書込まれる。アドレス03によりF [6. 0] が読出されて、F' [0. 6] が書込まれる。

【0034】次に、DCT係数Aは、RAM2に書込まれる。例えばアドレス00によりF [0. 1] が読出されて、F' [1. 0] が書込まれる。アドレス01によりF [2. 1] が読出されて、F' [1. 2] が書込まれる。アドレス02によりF [4. 1] が読出されて、F' [1. 4] が書込まれる。アドレス03によりF [6. 1] が読出されて、F' [1. 6] が書込まれる。このようにRAM0とRAM2に書込まれている前画像ブロックのDCT係数は4データずつ交互に読出されて、RAM出力A (F [0. 0]、F [2. 0]、F [4. 0] … F [6. 7]) となり、新しい画像ブロックのDCT係数Aは、第1のRAM別対応(図11)に示されるRAM0とRAM2と同じDCT係数及びアドレスになるように書込まれる。

【0035】DCT係数Bは、RAM1とRAM3に分配されて書込まれる。アドレスAA2を用いて書込まれている前画像ブロックのDCT係数を読出され、新しい画像ブロックのDCT係数を書込む、という読出し書込み動作が行われる。そのような書込み読出し動作は4データずつRAM1とRAM3で交互に行われる。

【0036】上記読出し書込み動作は、DCT係数Bが全てRAM1とRAM3に書込まれるまで繰返される。先ず、RAM1のアドレス00により前画像ブロックのDCT係数であるF [1. 0] が読出されて、新たな画像ブロックのDCT係数であるF' [0. 1] が書込まれる。アドレス01によりF [3. 0] が読出されて、F' [0. 3] が書込まれる。アドレス02によりF [5. 0] が読出されて、F' [0. 5] が書込まれる。アドレス03によりF [7. 0] が読出されて、F' [0. 7] が書込まれる。

【0037】次にDCT係数BはRAM3に書込まれる。アドレス00によりF [1. 1] が読出されて、F' [1. 1] が書込まれる。アドレス01によりF [3. 1] が読出されて、F' [1. 3] が書込まれる。アドレス02によりF [5. 1] が読出されて、F' [1. 5] が書込まれる。アドレス03によりF [7. 1] が読出されて、F' [1. 7] が書込まれる。

【0038】このようにRAM1とRAM3とに書込まれている前画像ブロックのDCT係数は4データずつ交

互に読出されてRAM出力B (F [1. 0]、F [3. 0]、F [5. 0] …… F [7. 7]) となり、新しい画像ブロックのDCT係数Aが4データずつ交互に書込まれる。

【0039】図18には、図13及び図14に示されるタイミングで読出し書込みが行われる場合のRAMアクセスタイミングが示される。

【0040】クロックCLKに同期したDCT係数、F' [0. 0]、F' [0. 1] …… F' [7. 7] は、順次、DCT係数A、DCT係数Bの2系統に分けられるため、DCT係数AとDCT係数Bのタイミングが、1クロック分ずれている。2系統に分けられた1画像ブロック分のDCT係数は、順にRAMに送られる。RAMへの書込み信号であるライトイネーブル信号WEA、ライトイネーブル信号WEBは、DCT係数に同期してCLKの1周期分の“H”、1周期分の“L”となるように作られてRAMに伝達される。

【0041】ライトイネーブル信号WEA、WEBは、それぞれロウアクティブの信号であり、“H”の期間が読出し期間、“L”の期間が書込み期間とされる。ライトイネーブル信号WEAが“H”のときにRAM出力AとしてアドレスAA1に書かれた前画面のDCT係数F [0. 0]、F [2. 0] …… が読出され、ライトイネーブル信号“L”のときに、F' [0. 0]、F' [0. 2] …… が書込まれる。WEBが“H”の読出し時間にRAM出力BとしてアドレスAA2の前画面のDCT係数F [1. 0]、F [3. 0] …… が読出され、ライトイネーブル信号WEBが“L”のときに、F' [0. 1]、F' [0. 3] …… が書込まれる。読出されたRAM出力A、RAM出力Bがクロックの周期で交互に選出されてセレクトデータとなる。交互に選出されたセレクトデータF [0. 0]、F [1. 0]、F [2. 0]、F [3. 0] …… F [7. 7] は、データ列変換後の出力とされ、図5に示される順序(1～64)と同じになる。

【0042】前画像ブロックのDCT係数F [0. 0]、F [0. 1] …… F [7. 7] が第1のRAM分配対応(図9)でRAMに書込まれていた場合、新しいDCT係数F' [0. 0]、F' [0. 1] …… F' [7. 7] は、第2のDCT係数分配対応(図10)となるように4つのRAMに書込まれる。

【0043】図16、図17には、この場合の第2のRAM入出力タイミングが示される。尚、図16、図17は1画像ブロック(DCT係数64個)分についてのタイミングであって、時間的に連続されたものであるが、紙面の都合により2分割されている。

【0044】第2のDCT係数分配対応(図10)をRAM別に分けると、第2のRAM別対応(図12)となる。DCT係数F' [0. 0]、F' [0. 1] …… F' [7. 7] は、前述のように図10で書込まれていたと

きと同様にデータ周期が2倍の2系統のデータ列、DCT係数A及びDCT係数Bに分けられる。DCT係数Aは、F' [0. 0]、F' [0. 2]、F' [0. 4]、F' [0. 6] …… F' [7. 6] とされ、DCT係数Bは、F' [0. 1]、F' [0. 3]、F' [0. 5]、F' [0. 7] …… F' [7. 7] とされる。

【0045】各RAMに所定のアドレスにてDCT係数が書込まれるようにRAMアドレス発生順序(図15(b))と同じアドレス列AB1及びAB2が作られる。

【0046】アドレスAB1を用いて前述したRAMへの読出し書込み動作と同様にRAM0とRAM1に書込まれていた前画像ブロックのDCT係数が読出され、新しい画像ブロックのDCT係数Aが書込まれる。アドレスAB2を用いて前述したRAMへの読出し書込み動作によってRAM2とRAM3に書込まれていた前画像ブロックのDCT係数が読出され、新しい画像ブロックのDCT係数Bが書込まれる。図16、図17に示されるタイミングは、図18において、アドレスAA1をAB1に置き換え、AA2をAB2に置き換えたときと同じになる。よってRAMへの読出し書込みのタイミングも前述の通りとなる。前述したようにRAM出力AとRAM出力Bから交互に選出されたセレクトデータF [0. 0]、F [1. 0]、F [2. 0]、F [3. 0] …… F [7. 7] は、図5に示される順番(1～64)と同じになる。

【0047】このように1画像ブロック分のDCT係数のデータ順序を、図4から図5に示される順番に並べ換える場合の見かけ上のデータ速度は、上記のように複数のRAMへのデータ振分けを行うことで、それを行わない場合の1/2とすることができ、RAMの読出し書込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様でDCT係数の読出し書込みが可能とされる。

【0048】次に、画像通信装置の一例であるテレビ電話における画像処理に上記離散コサイン変換方法を適用した場合について説明する。

【0049】テレビ電話においては、音声と共に動画データのやり取りが行われるため、音声の送受信機能と共に動画データの送受信機能が設けられる。そして動画データ通信では、通信回線を介してやり取りされるデータ量を低減するため、送信側で画像を圧縮してから通信回線に送出し、受信側ではそれを伸長して元の画像データを得るようにしている。このデータ圧縮、及び伸長において、上記DCT技術が用いられる。

【0050】図34にはテレビ電話における画像送信側装置が示される。

【0051】図34に示される画像送信側装置60は、特に制限されないが、動き検出回路30、動き補償回路

10

20

30

40

50

40、画像圧縮回路50を含んで成り、前段には、動画データを得るためのテレビカメラ、後段には通信回線を駆動するための送信部が、それぞれ配置されている。テレビカメラによって得られた動画データは、通信回線におけるデータ量を可能な限り低減するため、図34に示される画像送信側装置60で圧縮されてから後段の送信部(図示せず)を介して通信回線に送出される。

【0052】動き検出回路30は、前フレームを記録するためのフレームメモリ31と、現フレームと前フレームとの間で動き検出を行う動き検出部32とを含む。この動き検出回路30では、隣接する二つのフレームが、それぞれ所定のブロックに分けられ、時間経過を加味しながらブロック毎の整合性がとられる。つまり、対象ブロックが前フレームのどこから来たのかが検出され、その動いた方向と距離が動きベクトルとして表現される。

【0053】動き補償回路40は、減算器41、ループフィルタ43、及び動き補償部42とを含み、動き補償部42によって動き補償されたフレームと現フレームとの差分が減算器41で得られる。動き補償部42による動き補償は、再生された前フレームに対して動きベクトルに基づいて行われる。動き補償されたデータからブロック歪み等を低減するため、後段のループフィルタ43によってフィルタリング処理が行われてから減算器41に入力されるようになっている。

【0054】画像圧縮回路50は、基本的には静止画圧縮手段とされ、DCT部51、量子化部52、可変長符号化部53、逆量子化部54、逆DCT部55、加算器56、フレームメモリ57を含む。減算器41の出力である予測誤差が、後段のDCT部51により、空間座標データから周波数データに変換され、この周波数データが、後段の量子化部52により量子化され、可変長符号化部53により可変長符号化される。上記量子化部52の出力データは、逆量子化部54により逆量子化され、後段の逆DCT部55により空間座標データが再生される。再生された空間座標データと上記動き補償部42で動き補償されたフレームとが加算器56で加算されることにより、現フレームが再生され、それが後段のフレームメモリ57に書込まれる。このフレームメモリ57の記憶フレームは、前フレームとして次の動き補償に使用される。

【0055】上記動き検出回路30、動き補償回路40、及び画像圧縮回路50の動作は、コントローラ70によって制御される。

【0056】図2には、上記DCT部51の構成例が示される。

【0057】図2に示されるDCT部51は、画像処理用LSIの一例とされ、特に制限されないが、第1DCT演算器100、データ列変換部200、第2DCT演算器300を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板のような一つの半導体基板に形

成される。

【0058】上記第1DCT演算器100は、入力画像データ(予測誤差)について行方向にDCTを施すもので、その変換出力は、後段のデータ列変換部200に書込まれ、そこでデータ列の並べ替えが行われる。データ列変換部200への入力画像データ(DCT係数)は、 $D_{in}[14:0]$ で示される。ここで、 $[\]$ 内は入力画像データが14~0で示される15ビット構成であることを示している。

10 【0059】データ列変換部200の出力データ $D_{out}[14:0]$ は、後段の第2DCT演算器300に入力され、ここで、列方向にDCTが行われることにより、2次元離散コサイン変換結果が得られ、それが、図34に示される量子化部52に伝達される。データ列変換部200の動作制御は、タイミングジェネレータ400によって生成される各種制御信号によって行われる。

【0060】図35には上記逆DCT部55の構成例が示される。

20 【0061】図35に示される逆DCT部55は画像処理用LSIの一例とされ、特に制限されないが、第1逆DCT演算器500、データ列変換部600、第2逆DCT演算器700を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板のような一つの半導体基板に形成される。

【0062】上記第1逆DCT演算器500は、図34に示される逆量子化部54から伝達された画像データ(DCT部51において既に2次元DCTが施されているDCT係数データ)について行方向に1次元逆DCTを施すもので、その逆変換出力は、後段のデータ列変換部600に書込まれ、そこでデータ列の並べ替えが行われる。

30 【0063】データ列変換部600の出力データは、後段の第2逆DCT演算器700に inputs され、ここで、列方向に1次元逆DCTが行われることにより、2次元逆離散コサイン変換結果が得られ、それが、図34に示される加算器56に伝達される。データ列変換部600の動作制御は、タイミングジェネレータ801によって生成される各種制御信号によって行われる。

40 【0064】DCT部51に含まれるデータ列変換部200と、逆DCT部55に含まれるデータ列変換部600とは、そこに入力されるデータがDCT演算されたものであるか、逆DCT演算されたものであるかの違いはあるが、ハードウェア的には同一構成とされる。そのため、以下の説明では、データ列変換部200の構成及び作用を中心に詳述する。

【0065】図1には上記データ列変換部200の構成例が示される。

50 【0066】図1に示されるようにデータ列変換部200は、特に制限されないが、RAMへの書込みデータを作成するRAM書込みデータ作成回路10、RAMのA

ドレスを発生するアドレス発生回路(A)11、(B)12、データ選択のためのデータセクタ14、アドレス選択のためのアドレスセクタ15、RAM0~RAM3で示される4個のRAM、その後段に配置されたデータセクタ20、及びラッチ21を含む。

【0067】RAM書き込みデータ作成回路10は、図2に示される第1DCT演算器100から出力される画像データDin[14:0]に基づいて、RAM0~RAM3への書き込みデータを作成する。この書き込みデータ作成は、タイミングジェネレータ400から出力されるクロックCLKに同期して行われる。作成された書き込みデータは、DinA[14:0]、DinB[14:0]で示される。

【0068】データセクタ14は、上記RAM書き込みデータ作成回路10で作成されたデータDinA[14:0]、DinB[14:0]を選択的に後段のRAM0~RAM3に伝達する機能を有する。選択データは、Din0[14:0]、Din1[14:0]、Din2[14:0]、Din3[14:0]で示され、いずれも15ビット構成とされる。

【0069】アドレス発生回路11、12は、タイミングジェネレータ400からのクロックCLKに同期して上記RAM0~RAM3のアドレスを生成する機能を有する。発生されたアドレスは、AA1[3:0]、AA2[3:0]、AB1[3:0]、AB2[3:0]で示され、いずれも4ビット構成とされる。

【0070】アドレスセクタ15は、上記アドレス発生回路11、12で発生されたアドレスを選択的に後段のRAM0~RAM3に伝達する機能を有する。選択アドレスは、A0[3:0]、A1[3:0]、A2[3:0]、A3[3:0]で示され、いずれも4ビット構成とされる。

【0071】RAM0~RAM3は、特に制限されないが、それぞれ16W×15bitの記憶容量を有し、それぞれ書き込みの有効性を示すライトイネーブル信号WE0~WE3がローレベルにアサートされることにより、入力データDin0~Din3の書き込み指示がなされ、また、それぞれアウトプットイネーブル信号OE0~OE3がローレベルにアサートされることにより、記憶データの読出し指示が行われるようになっている。RAM0~RAM3のリード/ライト動作におけるアドレスは、それぞれA0[3:0]~A3[3:0]とされる。RAM0~RAM3からの出力データは、RAM0[14:0]~RAM3[14:0]とされ、それぞれ15ビット構成とされる。そのような出力データRAM0[14:0]~RAM3[14:0]が、後段のデータセクタ20により選択的にラッチ21に伝達される。データセクタ20の選択動作は、セレクト信号SRD[1:0]により制御される。ラッチ21には、クロックCLKが入力され、このクロックCLKに同期し

て上記選択データRAMout[14:0]の保持が行われる。このラッチ21の出力データはDout[14:0]で示される。

【0072】タイミングジェネレータ400には、クロックCLKin、スタート信号STARTが入力され、それに基づいて各部の動作タイミング制御のための各種制御信号が生成される。すなわち、クロックCLKinに同期してクロックCLKが生成され、クロックCLKinとスタート信号STARTとからデータセレクト信号SELD[1:0]、アドレスセレクト信号SELA[1:0]、ライトイネーブル信号WE、及びアウトプットイネーブル信号OE、セレクト信号SRD[1:0]が生成される。

【0073】図31には上記データセクタ14の構成例が示される。

【0074】図31に示されるように、データセクタ14は、マルチプレクサ141、142を含んで成る。マルチプレクサ141、142は、それぞれ15ビット構成の2系統の入力端子I0、I1と、15ビット構成の1系統の出力端子Zと、1ビット構成の制御端子Sとを含む。マルチプレクサ141、142は、その真理値表143から明らかなように、制御端子Sの論理がローレベルの場合に入力端子I0からの入力データが出力端子Zに伝達され、制御端子Sの論理がハイレベルの場合に入力端子I1からの入力データが出力端子Zに伝達される。マルチプレクサ141、142では、入力端子I0、I1に入力されるデータが異なっている。このため、マルチプレクサ141においては、制御端子Sに入力されるセレクト信号SELD1の論理がローレベルの場合に、入力データDinAが選択され、制御端子Sに入力されるセレクト信号SELD1の論理がハイレベルの場合に、入力データDinBが選択される。また、マルチプレクサ142においては、制御端子Sに入力されるセレクト信号SELD0の論理がローレベルの場合に、入力データDinBが選択され、制御端子Sに入力されるセレクト信号SELD0の論理がハイレベルの場合に、入力データDinAが選択される。

【0075】図32には上記アドレスセクタ16の構成例が示される。

【0076】図32に示されるように、4個のマルチプレクサ151、152、153、154を含んで成る。マルチプレクサ151、152、153、154は、それぞれ4ビット構成の2系統の入力端子I0、I1と、4ビット構成の1系統の出力端子Zと、1ビット構成の制御端子Sとを含む。マルチプレクサ151、152、153、154は、その真理値表155から明らかなように、制御端子Sの論理がローレベルの場合に入力端子I0からの入力アドレスが出力端子Zに伝達され、制御端子Sの論理がハイレベルの場合に入力端子I1からの入力アドレスが出力端子Zに伝達される。マルチプレ

クサ151の入力端子10、11には、それぞれアドレスAB1、AA1が入力され、それが選択的に後段のマルチプレクサ153の入力端子10、及びマルチプレクサ154の入力端子11に伝達されるようになってい

る。また、マルチプレクサ152の入力端子10、11には、それぞれアドレスAB2、AA2が入力され、それが選択的に後段のマルチプレクサ154の入力端子10、及びマルチプレクサ153の入力端子11に伝達されるようになっている。

【0077】次に、データ列変換部200の動作を説明する。

【0078】図19に示されるように、DCT演算終了後の1回目の画像ブロックのDCT係数DinとCLKinが入力され、スタート信号STARTがハイレベルにアサートされることで、入力されるDCT係数のデータ列変換が開始される。図4に示される順序(1~64)で入力されるDCT係数Dinは、RAM書込データ作成回路10で、CLKinの立ち下がりタイミングに同期してDinAとDinBとに振分けられる。すなわち、DinAは、F[0.0]、F[0.2]、F[0.4]、F[0.6]……F[7.6]とされ、DinBは、F[0.1]、F[0.3]、F[0.5]、F[0.7]……F[7.7]とされる。それによれば、CLKinの立ち下がりによってデータが振り分けられるため、データ長はクロックCLKの2サイクル分となる。換言すれば、DinAとDinBとは、それぞれDCT係数Dinに比べて、見かけ上のデータ速度が1/2に遅くなっている。

【0079】クロックCLKの立ち下がりタイミングに同期してDCT係数DinがDinAとDinBとに交互に割振られ、Dinの2倍の周期のDinAと、Dinの2倍の周期でDinAより1クロック分周期が遅れているDinBとが作られる。そのためDinAの先頭は、図19におけるa点であり、DinBの先頭は同図におけるb点とされる。RAM書込データ作成回路10は、Dinが連続で入力されている限り、DinをDinAとDinBに振り分けながら出力し続ける。このDinAとDinBがデータセクタ14に伝達される。

【0080】アドレス発生回路11は、図15(a)に示されるRAMアドレス発生順序でアドレスAA1、AA2を発生する。アドレスAA1は、入力データDinAと同じタイミングと周期を有する。アドレスAA2は、入力データDinBと同じタイミングである。

【0081】アドレス発生回路12は、図15(b)に示されるRAMアドレス発生順序と同じ順序でアドレスAB1、AB2を発生する。アドレスAB1は、入力データDinAと周期が等しい。アドレスAB2は発生タイミングが1クロック分遅れているDinBと同じタイミングとされる。

【0082】図19に示されるように、アドレスAB1

は、a点から始まり、アドレスAB2はそれにより1クロック分送れたb点から始まる。このアドレスAA1、AA2、AB1、AB2がアドレスセクタ15に伝達される。

【0083】入力データDinとして最初の画像ブロックのDCT係数は、第1のRAM別対応(図11)となるようにRAM0~RAM3に書込まれる。つまり、DinA、DinB、AA1、AA2、AB1、AB2がタイミングジェネレータ400によって作られたアドレスセレクト信号SELA[1:0]、SEL D[1:0]を用いて各RAMに振り分けられる。CLKinとSTARTがタイミングジェネレータ400に入力され、クロックCLKの最初の立ち下がりのa点からクロックCLK、アドレスセレクト信号SELA[1:0]、SEL D[1:0]、ライトイネーブル信号WE[3:0]、OE[3:0]、S[1:0]の信号が出力される。

【0084】データセクタ14の構成(図31参照)から、データDinAはそのままDin0とされる。この関係は切り変えることが無い。第1のRAM対応1(図110)となるようにRAM0~RAM3にDCT係数を書込むためにはRAM0、RAM2へアドレスAA1を送り、RAM1、RAM3へアドレスAA2を送らなければならないので、アドレスセクタ構成(図32参照)からタイミングジェネレータ400によってアドレスセレクト信号SELA[1:0]がハイレベル("11"で示される)とされ、アドレスセレクト信号SEL D[1:0]がハイレベルとされる。つまり、a点においてデータセクタ14に送られたSEL D[1:0]と、アドレスセクタ15に送られたアドレスセレクト信号SELA[1:0]が、ハイレベルとされる。よってRAMに送られるデータDin0~3とアドレスA0~3が切換えられるので、RAM0にはアドレスAA1、データDinAが、RAM1にはアドレスAA2、データDinBが、RAM2にはアドレスAA1、データDinAが、RAM3にはアドレスAA2、データDinBが、それぞれ伝達される。

【0085】各RAMに振り分けられたアドレスとデータは、図20に示されるタイミングで伝達される。タイミングジェネレータ400から送られるアウトプットイネーブル信号OE[3:0]は、データ及びアドレスが入力されるa点で"L"になる。それはDCT係数が連続して入力される限り"L"のみである。

【0086】決められた順序で送られるデータとアドレスを第1のRAM別対応(図11)となるようにDCT係数をRAM0から3に書込むため、1画像ブロックの間、RAM0~RAM3を第1のRAM入出力タイミング(図13、図14)の動作となるように、タイミングジェネレータ400によってライトイネーブル信号WEが制御される。同じデータとアドレスが送られているR

10

20

30

40

50

AMが4データずつ交互に読出しが行われる。つまり、RAM0とRAM2が4データずつ交互に読出し書込を行い、RAM1とRAM3が4データずつ交互に読出し書込を行う。

【0087】RAM0において、先ずデータ4個についての読出し書込みが行われ、次にRAM2においてデータ4個についての読出し書込が行われる。RAM0が読出し書込を行っている間、もう一方のRAM2のライトイネーブル信号WE2は”H”となる。RAM0において、Din0にデータF[0.0]、A0に00がそれぞれ入力されたとき、ライトイネーブル信号WE0がa点からb点の間”H”になり、RAM0のアドレス00に書込まれた前画像ブロックの値が読出され、b点からc点の間でライトイネーブル信号WE0が”L”となり、RAM0のアドレス00にデータF[0.0]が書込まれる。

【0088】このとき読出されたデータは、前画像ブロックのDCT係数をRAMに書込こんでいないために、不定値Fx0とされる。RAM0では、アドレス00、01、02、03から不定値Fx0、Fx2、Fx4、Fx6が読出され、同じアドレス00、01、02、03にデータF[0.0]、F[0.2]、F[0.4]、F[0.6]が書込まれる。RAM1においては、アドレス00、01、02、03から不定値Fx1、Fx3、Fx5、Fx7が読出され、同じアドレス00、01、02、03にデータF[0.1]、F[0.3]、F[0.5]、F[0.7]が書込まれる。RAM0、RAM1にDCT係数を4個ずつ書込終えたら、次にRAM2とRAM3に4個ずつDCT係数の読出し書込みが行われる。RAM2では、アドレス00、01、02、03から不定値Fx8、Fx10、Fx12、Fx14が読出され、同じアドレス00、01、02、03にデータF[1.0]、F[1.2]、F[1.4]、F[1.6]を書込む。RAM3はアドレス00、01、02、03から不定値Fx9、Fx11、Fx13、Fx15を読出し、同じアドレス00、01、02、03にデータF[1.1]、F[1.3]、F[1.5]、F[1.7]を書込む。

【0089】このように第1のRAM入出力タイミング(図13、図14)に示されるタイミング制御でRAM0～RAM3に最初のDCT係数64個が書込まれる。

【0090】各RAMのライトイネーブル信号WEが”H”の期間に読出されたデータは、RAM0～RAM3から、図21に示されるタイミングで出力されている。データセクタ20は、RAM0outからRAM3outを、図21に示されるタイミング順序で選択する。つまり、セレクト信号SRD[1:0]により、クロックCLKに同期してRAM出力が選出されることで、RAMoutが得られる。

【0091】図33には、データセクタ20の真理値

表が示される。

【0092】図33に示される真理値表から図5に示される出力順序となるように、セレクト信号SRD1、SRD0が、タイミングジェネレータ400で作成されてデータセクタ20に入力される。RAM0とRAM1からの出力をクロックの周期で交互に選ぶために、セレクト信号SRD1は”L”となり、セレクト信号SRD0は”L”と”H”をCLKの周期で交互に変化される。RAM0とRAM1の読出しデータを各4個選んだら、セレクト信号SRD1を”H”とし、セレクト信号SRD0はそのまま”L”と”H”をCLKの周期で交互に変化される。RAM2とRAM3の読出し信号を選び終えたらSRD1を”L”に切换え、また、RAM0とRAM1の読出し信号を選び出す。

【0093】データセクタ20の選択データRAMoutが、クロックCLKに同期してラッチされて出力データDoutが得られる。最初の画像ブロックであるため、RAMにはDCT係数が書込まれておらず、そのため、出力データは64個全て不定値Fxとなる。

【0094】図22に示されるタイミングチャートにおいて、Din[14:0]にF[7.7]が入力された後、新たな画像ブロックのDCT係数F'[0.0]が入力される。図22のf点において、F[7.7]がRAM3に書込まれた時点でRAM0～RAM3には、第1のRAM別対応(図11)に示される通り、DCT係数が書込まれている。図22のe点からDinAへ新たな画像ブロックのDCT係数F'[0.0]となり、f点からDinBへ新たな画像ブロックのDCT係数F'[0.1]となる。

【0095】新しい画像ブロックが入力されるとき、RAMに書込むDCT係数が第2のRAM対応(図12参照)となるように、RAM0～RAM3の制御が切换えられる。

【0096】タイミングジェネレータ400は、RAM0～RAM3の動作が、図13、図14に示されるタイミングとなるようにライトイネーブル信号WE0～WE3を作成する。DinAとアドレスAB1がRAM0、RAM1に伝達され、DinBとアドレスAB2がRAM2、RAM3に伝達されるように、アドレスセレクト信号SELA[1:0]とSELD[1:0]とがe点で切换えられる。

【0097】ただし、図22におけるe点では、まだRAM3にF[7.7]が書込まれる途中のため、RAM3のアドレスA3が切替わらないようにe点からf点の間、アドレスセレクト信号SELA[1:0]は”01”とされ、f点以降画像ブロックが書込終わるまで”00”とされる。

【0098】図23には、上記のようにしてRAM0～RAM3へ伝達されたデータとアドレスとが示される。

【0099】先ず、RAM0とRAM2において前画像

10

20

30

40

50

ブロックのDCT係数が読出された後に新しいDCT係数が書込まれる。RAM0には、図23におけるe点からf点でアドレス00の読出しが行われ、RAM0outとして前画像ブロックのF[0.0]が読出され、f点からg点の間に新しい画像ブロックのF'[0.0]が書込まれる。RAM2の読出しは、RAM0より1クロック分遅れたf点から開始される。アドレス00に書かれた前画像ブロックのDCT係数F[1.0]が読出されて、新しい画像ブロックのDCT係数F'[0.1]が書込まれる。

【0100】RAM0とRAM2について、DCT係数4個ずつの読出し書込が終了された後に、RAM1とRAM3に読出し書込動作が移り、今度はRAM1とRAM3についてDCT係数4個ずつの読出し書込が行われる。このようなRAM入出力タイミング(図16、図17)の動作が1画像ブロック分行われる。

【0101】図24には読出されたデータRAMout0~3のタイミングが示される。

【0102】図5に示される出力順序となるように、RAM0~RAM3のデータを選択するためのセレクト信号SRD1、SRD0が生成されると、それに基づいてデータセクタ20でRAM出力データが選択される。RAMデータセクタで出力順序通りに選出されたデータF[0.0]、F[1.0]、F[2.0]、…F[6.7]、F[7.7]がラッチ21で1度クロックCLKに同期してラッチされて、データ列変換部の出力データとされる。この出力データは、2回目のDCTのために、後段の第2DCT演算器300(図2参照)に伝達される。

【0103】また、続けて新たな画像ブロックのDCT係数F''[0.0]、F''[0.1]、F''[0.2]、…F''[7.6]、F''[7.7]が入力されたときのタイミングが、図25に示される。

【0104】前画像ブロックのDCT係数がRAM0~RAM3に書き終えた点、すなわち、図25のi点におけるDCT係数は、第2のRAM対応(図12)となっている。図25のh点から新たな画像ブロックのDCT係数となるが、h点ではまだ前画像ブロックのF[7.7]をRAM3に書き込み中であるため、h点からi点までの間RAM3のアドレスをそのままにして、その他のアドレスを新たなDCT係数を書くためにアドレスセレクト信号SELA[1:0]を10に切替える。新たな画像ブロックのDCT係数を第1のRAM対応(図9)となるように書込むために、RAM0とRAM2にDinAとAA1を送り、RAM1とRAM3にDinBとAA2を送るようにアドレスセレクト信号SELA[1:0]とSELD[1:0]を切替える。アドレスセレクト信号SELA[1:0]はi点から、セレクト信号SELD[1:0]はi点から"11"となる。

【0105】上記切換えにより、RAMの読出し書込

は、第1のRAM入出力タイミング(図13、図14)に示される通りとなる。図26には、RAM0~RAM3の動作タイミングが示される。ライトイネーブル信号WE0~WE3はローアクティブであり、それがローレベルの場合にRAMへの書込みが指示される。図26に示されるように、RAM0とRAM1に対してDCT係数4データずつをの読出し書込みが行われ、RAM0、RAM1へのデータ書込みが終わったらRAM2、RAM3に対してDCT係数の書込みが行われる。図27には、読出されたデータRAMout0~3のタイミングが示される。

【0106】2回目のDCTのためにRAMoutが、図5に示される順番になるように、タイミングジェネレータ400で切換え信号SRD1、SRD0が生成される。RAMoutであるF'[0.0]、F'[1.0]、F'[2.0]、…F'[6.7]、F'[7.7]、をクロックCLKに同期してラッチ21でラッチされることで、出力データDoutが得られる。

【0107】図28、図29、図30には、j点以降に、続けて新たな画像ブロックのDCT係数F'''[0.0]、F'''[0.1]、F'''[0.2]、…F'''[7.6]、F'''[7.7]が順に入力される場合のタイミングが示される。このときのRAMに書込まれた前画像ブロックのDCT係数は、図12に示されるようになっている。これまでと同じように第1のRAM別対応(図11)となるようにアドレスセレクト信号SELA[1:0]とSELD[1:0]でRAM0~RAM3に送るアドレスを切替える。読出されたRAMout、RAM1out、RAM2out、RAM3outが、図5に示される順番になるようにSRD1、SRD0が生成されることで、RAMoutであるF''[0.0]、F''[1.0]、F''[2.0]、…F''[6.7]、F''[7.7]が得られる。

【0108】このように、1画像ブロックのDCT係数を図9又は図10に示す4つのRAMに分配し、図12(a)又は(b)に示されるアドレス順序を用いて読出し書込みを行い、画像ブロック毎にアドレス順序を切換え、アドレスを用いて書込む前に書込まれた前画像ブロックのDCT係数を読出した後、新しいDCT係数を書込むことで、図4に示す順序で入力される画像ブロックのDCT係数の順序を図5の順序に並べ替えることができる。

【0109】図36には、テレビ電話における画像受信側装置が示される。

【0110】図36に示される画像受信側装置79は、特に制限されないが、図34に示される画像送信側装置60で圧縮処理され、図示されない送信部を介して通信回線に送出された動画データが受信部で受信された場合に、それを伸長して元の画像データに復元する機能を有し、復元された画像データはテレビなどの表示装置

10

20

30

40

50

(図示せず)に表示される。

【0111】図36に示される画像受信側装置79は、特に制限されないが、可変長復号化部71、逆量子化部72、逆DCT部78、加算器73、動き補償回路74、及びループフィルタ77を含む。

【0112】可変長復号化部71は、可変長符号を用いてデータ長を可変したデータを圧縮前の固定長データに変換する。逆量子化部72は、可変長復号化部71から得た固定長のデータを元に逆量子化を行う。逆DCT55は逆量子化したデータを元に2次元DCT後のDCT係数を画像データに変換する。動き補償回路74は、フレームメモリ75と、このフレームメモリ75内の画像に対して動き補償を施すための動き補償部76とによって構成される。

【0113】画像送信側装置60において動き補償が加えられている画像データを表示装置で表示可能な映像データに戻すため、参照用前画像データを保存し、補償に用いる画像データの取り出しを行う必要がある。フレームメモリ75は、前画像データを保管するために使用される。動き補償に用いた前画像データがフレームメモリ75から読み出され、動き補償部76によって画像の動き補償が行われる。ループフィルタ77では、量子化などで生じたブロック歪みを目立たなくするため動き補償回路74からの画像データに対してフィルタリング処理を施す。加算器73は、逆DCT55からの画像データと、ループフィルタ77の画像データを加算して、画像表示装置に送るデータを作り出す。

【0114】逆DCT部78において逆DCT変換された画像データが、動き補償やフレーム間符号化が行われていなかった場合には、フレームメモリ77に参照用画像データとして伝達され、また、画像表示のため表示装置に映像データとして伝達される。それに対して、受信された画像データにフレーム間符号化処理が行われていた場合には、前画像のデータがフレームメモリ77から取り出されて、ループフィルタ74を介して加算器73に伝達され、逆DCT55の出力である画像データと加算されて、映像データとして画像表示装置に送出される。このとき、動き補償は行われない。受信された画像データに動き補償が施されている場合には、フレームメモリ77内の前画像データから動き補償に用いた画像データが取り出され、動き補償部76で動き補償された後に、ループフィルタ74を介して加算器73に伝達され、逆DCT55の出力である画像データと加算されることで、映像データが得られ、それが画像表示装置に伝達される。

【0115】この画像受信側装置79において、逆DCT部78は、図34に示される画像送信側装置60における逆DCT部55と同一の構成とされる。つまり、図35に示されるように、第1逆DCT演算器500、データ列変換部600、第2逆DCT演算器700を含

み、公知の半導体集積回路製造技術により、単結晶シリコン基板のような一つの半導体基板に形成され、そして、データ列変換部600として、図1に示される構成が採用される。

【0116】上記実施形態によれば、以下の作用効果を得ることができる。

【0117】(1)第1方向への離散コサイン変換の出力データを、その入力順に交互に分けてRAM0～RAM3に書込んで、データ列変換を行うことにより、見かけ上のデータ速度を落すことができるので、RAMの読出し書込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書込みを行うことができる。

【0118】(2)また、(1)の作用効果により、DCT係数のデータ速度を速くすることができるので、DCT部51を中心として形成されたLSI全体の処理の高速化を図ることができる。さらに、DCT係数のデータ列変換におけるRAMの全体的な記憶容量を増大させることなく、DCT係数のデータ列変換の高速化を図ることができる。

【0119】(3)図34に示される逆DCT部55は、それに含まれるデータ列変換部600として、図1に示される構成が採用されることにより、逆DCT部55においても、DCT部51の場合と同様に、第1方向への逆離散コサイン変換の出力データを、その入力順に交互に分けてRAM0～RAM3に書込んで、データ列変換を行うことにより、見かけ上のデータ速度を落すことができるので、RAMの読出し書込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書込みを行うことができ、また、DCT係数のデータ列変換におけるRAMの全体的な記憶容量を増大させることなく、DCT係数のデータ列変換の高速化を図ることができる。

【0120】(4)画像受信側装置79に含まれる逆DCT部78においても、図34に示される逆DCT部55と同一構成とされるため、上記(3)と同様の作用効果を得ることができる。

【0121】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0122】例えば、上記実施形態では、離散コサイン変換対象とされる画像ブロックを8行×8列(64画素)として説明したが、それに限定されるものではなく、8行×8列以外のサイズの画像ブロック、すなわち、 $(n \times 4)$ 行× $(n \times 4)$ 列; $(n \geq 1)$ についての離散コサイン変換が可能である。また、DCTをコアとして、図2に示される量子化部52や可変長符号化部53などを含めて1個のLSIを形成するようにしても良い。

【0123】また、図34に示されるDCT部51や逆DCT部55は、主要ハードウェアの共通化を図ることができ、そのようにして半導体チップのサイズ低減を図ることができる。例えば、図34に示されるDCT部51と逆DCT部55とを、図37に示されるように構成することにより、演算器等の規模の削減を図ることができる。

【0124】図37において、第1演算回路800は、演算器800Aと、DCT用の演算係数が記憶されたROM800Bと、逆DCT用の演算係数が記憶されたROM800Cとを含み、第2演算回路900は、演算器900Aと、DCT用の演算係数が記憶されたROM900Bと、逆DCT用の演算係数が記憶されたROM900Cとを含む。また、減算器41の出力データと逆量子化部54の出力データとを選択的に第1演算回路800に伝達するための切換え器202と、第2演算回路900の出力データを選択的に量子化部52と加算器56に伝達するための切換え器23が設けられる。切換え器202、203、及び第1演算回路800、第2演算回路900の動作は、図34に示されるコントローラ70から供給されるDCT、逆DCT演算切換え信号SELによって制御される。データ列変換部201、タイミングジェネレータ403は、それぞれ図2に示されるデータ列変換部200や、タイミングジェネレータ400、あるいは図35に示されるデータ列変換部600や、タイミングジェネレータ801と同一構成とされる。

【0125】例えば、DCT、逆DCT演算切換え信号SELがハイレベルにされたとき、切換え器202によって減算器41の出力データが選択的に演算器800Aに伝達される。このとき、第1演算回路800内の演算器800Aでは、ROM800B内のDCT用演算係数が使用されて入力データの演算処理が行われる。つまり、入力データについてDCT用演算係数を用いた演算が行われることにより、入力データのDCT演算が行われる。このDCT演算は、図2に示される第1DCT演算器100での演算に相当する。

【0126】また、DCT、逆DCT演算切換え信号SELがハイレベルにされたときには、第2演算回路900では、ROM900Bに記憶されているDCT用演算係数が使用される。ROM900Bに記憶されているDCT用演算係数を使用した演算は、図2に示される第2DCT演算器300での演算に相当する。そしてこのとき、演算器900Aの出力データが切換え器203により選択的に量子化部52へ伝達される。

【0127】次に、DCT、逆DCT演算切換え信号SELがローレベルの場合には次のようになる。第1演算回路800では、ROM800C内の逆DCT用演算係数が使用され、第2演算回路900ではROM900C内の逆DCT演算係数が使用される。ROM800C内の逆DCT用演算係数を使用した演算は、図35にお

る第1逆DCT演算器500での演算に相当する。また、ROM900C内の逆DCT用演算係数を使用した演算は、図35における第2逆DCT演算器700での演算に相当する。

【0128】このようにROMに記憶されたDCT係数と逆DCT係数とを選択的に使用することにより、同一演算器をDCT用と逆DCT用とに切換えて使用することができるので、それぞれ専用の演算器を構成する場合に比べてチップ占有面積の低減を図る上で有利とされる。

【0129】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるテレビ電話に適用した場合について説明したが、本発明はそれに限定されるものではなく、MPEG（カラー動画）処理用LSI、JPEG（カラー静止画）処理用LSIなど、画像処理用LSIに適用することができる。

【0130】本発明は、少なくとも画像処理を行うことを条件に適用することができる。

【0131】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0132】すなわち、第1方向への離散コサイン変換又は逆離散コサイン変換の出力データを、その入力順に交互に分けて複数の記憶手段に書込んで、データ列変換を行うことにより、見かけ上のデータ速度を落すことができるので、RAMの読出し書込み速度に比べてDCT係数のデータ速度が高速になった場合でも、既存RAMの仕様で、DCT係数の読出し書込みを行うことができる。また、それにより、DCT係数のデータ速度を速くすることができるので、DCT若しくは逆DCTなどの画像処理用LSI全体の処理の高速化を図ることができる。さらに、DCT係数のデータ列変換におけるRAMの全体的な記憶容量を増大させることなく、DCT係数のデータ列変換の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態であるDCT部におけるデータ列変換部の構成例ブロック図である。

【図2】上記DCT部の構成例ブロック図である。

【図3】CIF画像の大きさと、2次元DCT演算を行う1画像ブロックの大きさとの関係説明図である。

【図4】上記データ列変換部へのデータ入力順序の説明図である。

【図5】上記データ列変換部へのデータ出力順序の説明図である。

【図6】DCT係数の並べ替えに使用されるRAMアドレスマップの説明図である。

【図7】DCT係数の並べ替えに使用されるRAMアドレスマップの説明図である。

【図8】DCT係数の並べ替えに使用されるRAMのア

クセスタイミング図である。

【図9】上記DCT部におけるRAMへのDCT係数分配対応についての説明図である。

【図10】上記DCTにおけるRAMへのDCT係数分配対応についての説明図である。

【図11】上記DCT係数のRAM別対応についての説明図である。

【図12】上記DCT係数のRAM別対応についての説明図である。

【図13】本実施形態におけるRAM入出力タイミング図である。 10

【図14】本実施形態におけるRAM入出力タイミング図である。

【図15】本実施形態におけるRAMアドレス発生順序の説明図である。

【図16】本実施形態におけるRAM入出力タイミングである。

【図17】本実施形態におけるRAM入出力タイミングである。

【図18】本実施形態におけるRAMアクセスタイミング図である。 20

【図19】本実施形態の動作説明のための第1タイミング図である。

【図20】本実施形態の動作説明のための第2タイミング図である。

【図21】本実施形態の動作説明のための第3タイミング図である。

【図22】本実施形態の動作説明のための第4タイミング図である。

【図23】本実施形態の動作説明のための第5タイミング図である。 30

【図24】本実施形態の動作説明のための第6タイミング図である。

【図25】本実施形態の動作説明のための第7タイミング図である。

【図26】本実施形態の動作説明のための第8タイミング図である。

【図27】本実施形態の動作説明のための第9タイミング図である。

【図28】本実施形態の動作説明のための第10タイミング図である。 40

【図29】本実施形態の動作説明のための第11タイミング図である。

【図30】本実施形態の動作説明のための第12タイミング図である。

【図31】図1に示されるデータセクタ14の構成例ブロック図である。

【図32】図1に示されるアドレスセクタ15の構成例ブロック図である。

【図33】図1に示されるデータセクタ20の真理値 50

表説明図である。

【図34】テレビ電話における画像送信側装置のブロック図である。

【図35】上記画像送信側装置に含まれる逆DCT演算部の構成例ブロック図である。

【図36】上記テレビ電話における画像受信側装置の構成例ブロック図である。

【図37】図34に示されるDCT部及び逆DCT部の他の構成例ブロック図である。

【符号の説明】

10 RAM書込みデータ作成部

11, 12 アドレス発生回路

14, 20 データセクタ

15 アドレスセクタ

RAM0～RAM3 ランダム・アクセス・メモリ

21 ラッチ

30 動き検出回路

31, 75 フレームメモリ

32 動き検出部

40 動き補償回路

41 減算器

42, 76 動き補償部

43, 77 ループフィルタ

50 画像圧縮回路

51 DCT部

52 量子化部

53, 71 可変長符号化部

54, 72 逆量子化部

55, 78 逆DCT部

56, 73 加算器

57 フレームメモリ

60 画像送信側装置

70 コントローラ

74 動き補償回路

79 画像受信側装置

100 第1DCT演算器

141, 142, 151～154 マルチプレクサ

155 真理値表

200, 201, 600 データ列変換部

202, 203 切換え器

300 第2DCT演算部

400, 403, 801 タイミングジェネレータ

500 第1逆DCT演算器

700 第2逆DCT演算器

800 第1演算回路

800A 演算器

800B ROM

800C ROM

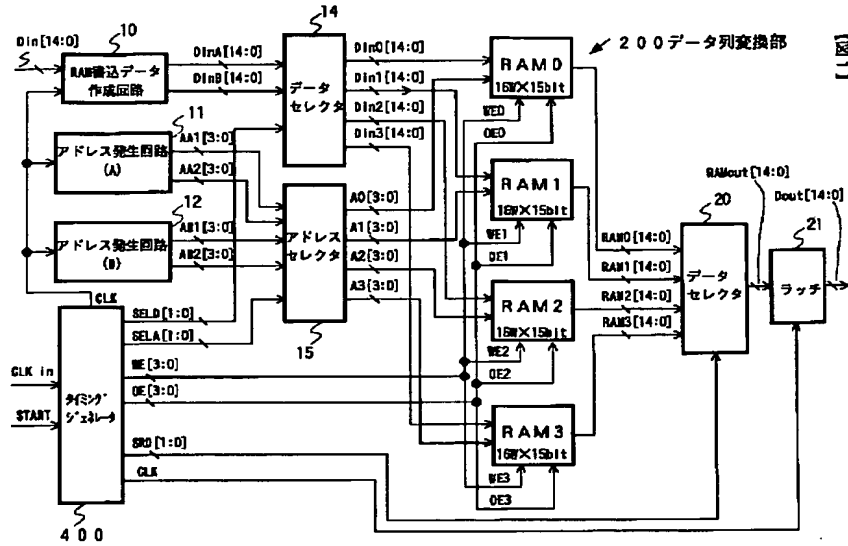
900 第2演算回路

900A 演算器

900B ROM

* * 900C ROM

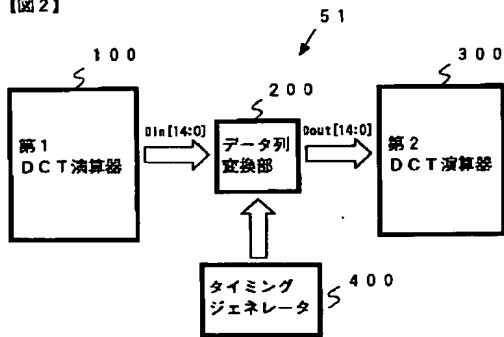
【図1】



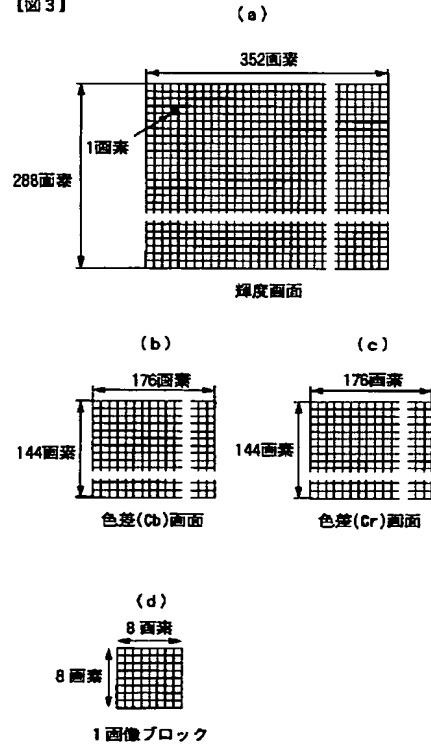
【図2】

【図3】

【図2】



【図3】



【図4】

【図4】

8個

8個

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
1	2	3	4	5	6	7	8
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
9	10	11	12	13	14	15	16
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
17	18	19	20	21	22	23	24
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
25	26	27	28	29	30	31	32
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
33	34	35	36	37	38	39	40
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
41	42	43	44	45	46	47	48
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
49	50	51	52	53	54	55	56
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
57	58	59	60	61	62	63	64

入力の順番

【図5】

【図5】

8個

8個

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
1	9	17	25	33	41	49	57
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
2	10	18	26	34	42	50	58
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
3	11	19	27	35	43	51	59
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
4	12	20	28	36	44	52	60
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
5	13	21	29	37	45	53	61
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
6	14	22	30	38	46	54	62
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
7	15	23	31	39	47	55	63
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
8	16	24	32	40	48	56	64

出力の順番

【図7】

【図6】

【図6】

8個

8個

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
00	01	02	03	04	05	06	07
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
08	09	0A	0B	0C	0D	0E	0F
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
10	11	12	13	14	15	16	17
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
18	19	1A	1B	1C	1D	1E	1F
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
20	21	22	23	24	25	26	27
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
28	29	2A	2B	2C	2D	2E	2F
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
30	31	32	33	34	35	36	37
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
38	39	3A	3B	3C	3D	3E	3F

RAMアドレス

【図7】

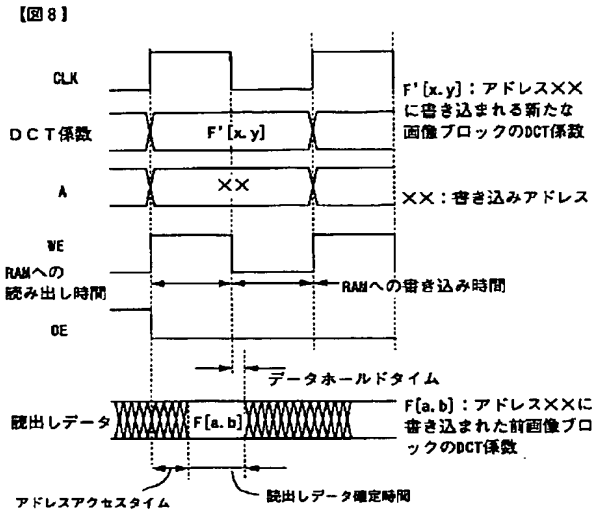
8個

8個

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
00	08	10	18	20	28	30	38
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
01	09	11	19	21	29	31	39
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
02	0A	12	1A	22	2A	32	3A
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
03	0B	13	1B	23	2B	33	3B
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
04	0C	14	1C	24	2C	34	3C
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
05	0D	15	1D	25	2D	35	3D
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
06	0E	16	1E	26	2E	36	3E
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
07	0F	17	1F	27	2F	37	3F

RAMアドレス

【図8】



【図9】

【図9】

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
RAM0	RAM1	RAM0	RAM1	RAM0	RAM1	RAM0	RAM1
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
RAM2	RAM3	RAM2	RAM3	RAM2	RAM3	RAM2	RAM3
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
RAM0	RAM1	RAM0	RAM1	RAM0	RAM1	RAM0	RAM1
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
RAM2	RAM3	RAM2	RAM3	RAM2	RAM3	RAM2	RAM3
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
RAM0	RAM1	RAM0	RAM1	RAM0	RAM1	RAM0	RAM1
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
RAM2	RAM3	RAM2	RAM3	RAM2	RAM3	RAM2	RAM3
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
RAM0	RAM1	RAM0	RAM1	RAM0	RAM1	RAM0	RAM1
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
RAM2	RAM3	RAM2	RAM3	RAM2	RAM3	RAM2	RAM3

DCT係数

F[0.0]

RAM0

書き込まれるRAM No.

【図10】

【図10】

F[0.0]	F[0.1]	F[0.2]	F[0.3]	F[0.4]	F[0.5]	F[0.6]	F[0.7]
RAM0	RAM2	RAM0	RAM2	RAM0	RAM2	RAM0	RAM2
F[1.0]	F[1.1]	F[1.2]	F[1.3]	F[1.4]	F[1.5]	F[1.6]	F[1.7]
RAM1	RAM3	RAM1	RAM3	RAM1	RAM3	RAM1	RAM3
F[2.0]	F[2.1]	F[2.2]	F[2.3]	F[2.4]	F[2.5]	F[2.6]	F[2.7]
RAM0	RAM2	RAM0	RAM2	RAM0	RAM2	RAM0	RAM2
F[3.0]	F[3.1]	F[3.2]	F[3.3]	F[3.4]	F[3.5]	F[3.6]	F[3.7]
RAM1	RAM3	RAM1	RAM3	RAM1	RAM3	RAM1	RAM3
F[4.0]	F[4.1]	F[4.2]	F[4.3]	F[4.4]	F[4.5]	F[4.6]	F[4.7]
RAM0	RAM2	RAM0	RAM2	RAM0	RAM2	RAM0	RAM2
F[5.0]	F[5.1]	F[5.2]	F[5.3]	F[5.4]	F[5.5]	F[5.6]	F[5.7]
RAM1	RAM3	RAM1	RAM3	RAM1	RAM3	RAM1	RAM3
F[6.0]	F[6.1]	F[6.2]	F[6.3]	F[6.4]	F[6.5]	F[6.6]	F[6.7]
RAM0	RAM2	RAM0	RAM2	RAM0	RAM2	RAM0	RAM2
F[7.0]	F[7.1]	F[7.2]	F[7.3]	F[7.4]	F[7.5]	F[7.6]	F[7.7]
RAM1	RAM3	RAM1	RAM3	RAM1	RAM3	RAM1	RAM3

DCT係数

F[0.0]

RAM0

書き込まれるRAM No.

【図11】

【図11】

RAM0				RAM1			
F[0.0]	F[0.2]	F[0.4]	F[0.6]	F[0.1]	F[0.3]	F[0.5]	F[0.7]
00	01	02	03	00	01	02	03
F[2.0]	F[2.2]	F[2.4]	F[2.6]	F[2.1]	F[2.3]	F[2.5]	F[2.7]
04	05	06	07	04	05	06	07
F[4.0]	F[4.2]	F[4.4]	F[4.6]	F[4.1]	F[4.3]	F[4.5]	F[4.7]
08	09	0A	0B	08	09	0A	0B
F[6.0]	F[6.2]	F[6.4]	F[6.6]	F[6.1]	F[6.3]	F[6.5]	F[6.7]
0C	0D	0E	0F	0C	0D	0E	0F
RAM2				RAM3			
F[1.0]	F[1.2]	F[1.4]	F[1.6]	F[1.1]	F[1.3]	F[1.5]	F[1.7]
00	01	02	03	00	01	02	03
F[3.0]	F[3.2]	F[3.4]	F[3.6]	F[3.1]	F[3.3]	F[3.5]	F[3.7]
04	05	06	07	04	05	06	07
F[5.0]	F[5.2]	F[5.4]	F[5.6]	F[5.1]	F[5.3]	F[5.5]	F[5.7]
08	09	0A	0B	08	09	0A	0B
F[7.0]	F[7.2]	F[7.4]	F[7.6]	F[7.1]	F[7.3]	F[7.5]	F[7.7]
0C	0D	0E	0F	0C	0D	0E	0F

DCT係数

F[0.0]

00

RAMアドレス

【図12】

【図12】

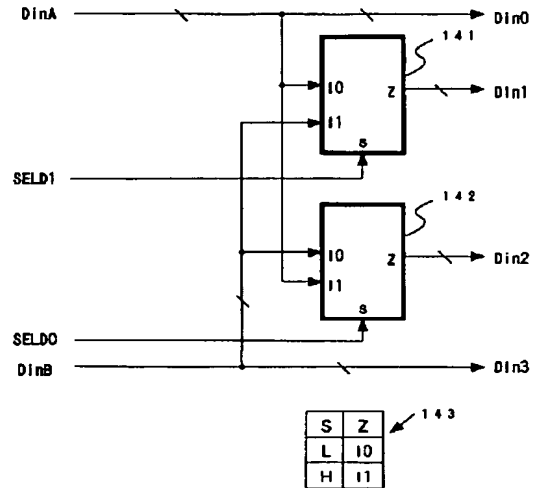
RAM0				RAM1			
F[0.0] 00	F[2.0] 01	F[4.0] 02	F[6.0] 03	F[1.0] 00	F[3.0] 01	F[5.0] 02	F[7.0] 03
F[0.2] 04	F[2.2] 05	F[4.2] 06	F[6.2] 07	F[1.2] 04	F[3.2] 05	F[5.2] 06	F[7.2] 07
F[0.4] 08	F[2.4] 09	F[4.4] 0A	F[6.4] 0B	F[1.4] 08	F[3.4] 09	F[5.4] 0A	F[7.4] 0B
F[0.6] 0C	F[2.6] 0D	F[4.6] 0E	F[6.6] 0F	F[1.6] 0C	F[3.6] 0D	F[5.6] 0E	F[7.6] 0F

RAM2				RAM3			
F[0.1] 00	F[2.1] 01	F[4.1] 02	F[6.1] 03	F[1.1] 00	F[3.1] 01	F[5.1] 02	F[7.1] 03
F[0.3] 04	F[2.3] 05	F[4.3] 06	F[6.3] 07	F[1.3] 04	F[3.3] 05	F[5.3] 06	F[7.3] 07
F[0.5] 08	F[2.5] 09	F[4.5] 0A	F[6.5] 0B	F[1.5] 08	F[3.5] 09	F[5.5] 0A	F[7.5] 0B
F[0.7] 0C	F[2.7] 0D	F[4.7] 0E	F[6.7] 0F	F[1.7] 0C	F[3.7] 0D	F[5.7] 0E	F[7.7] 0F

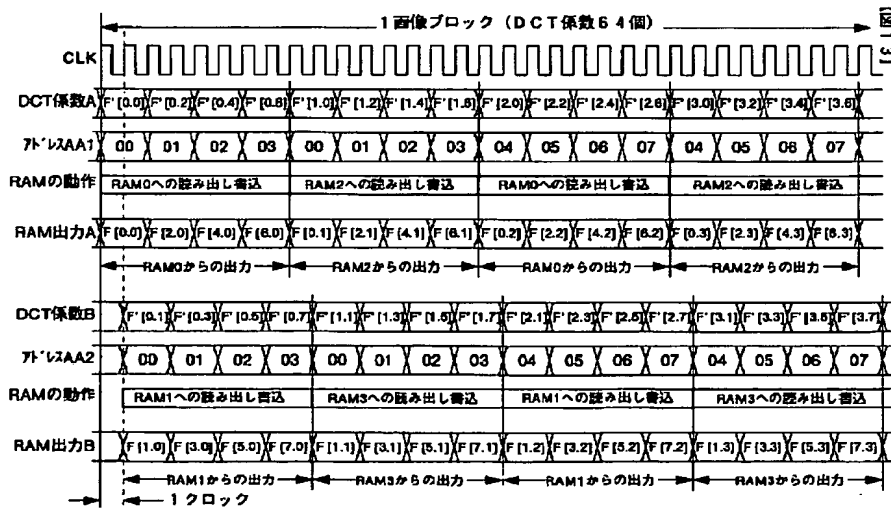
DCT係数
F[0.0]
00
RAMアドレス

【図31】

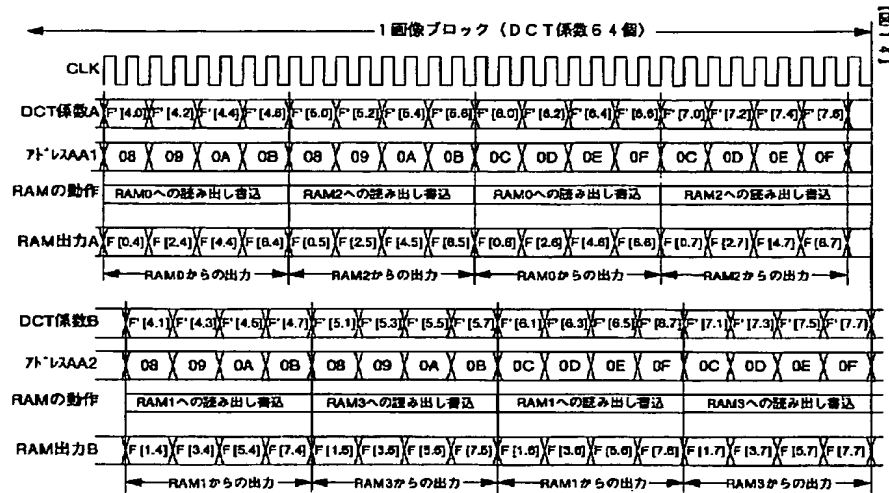
【図31】



【図13】

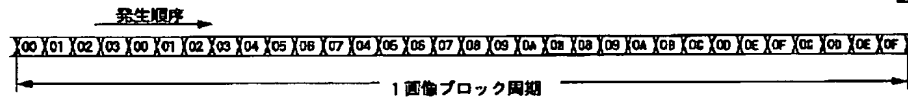


【図14】

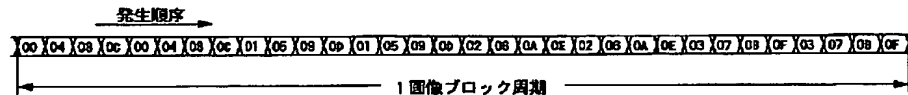


【図15】

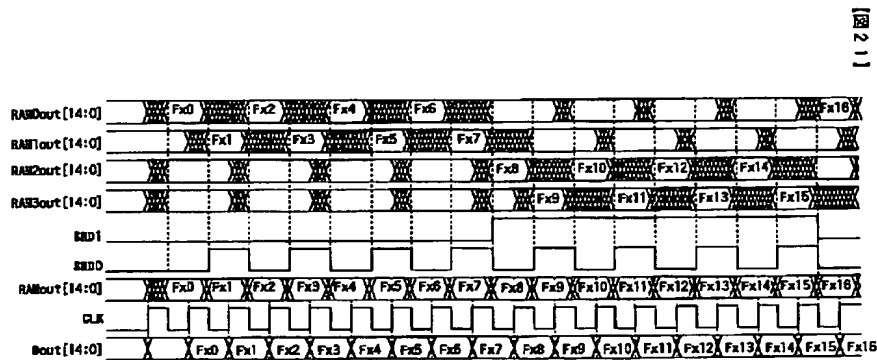
(a) アドレス発生順序1(アドレス発生回路A)



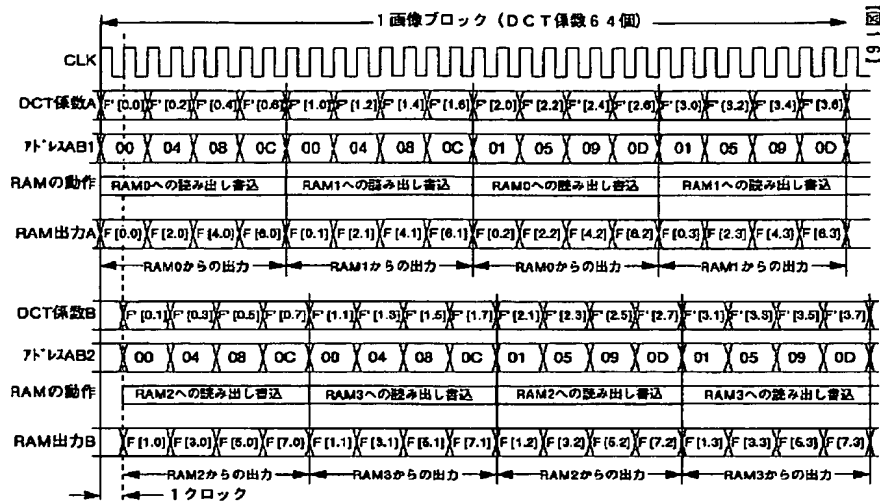
(b) アドレス発生順序2(アドレス発生回路B)



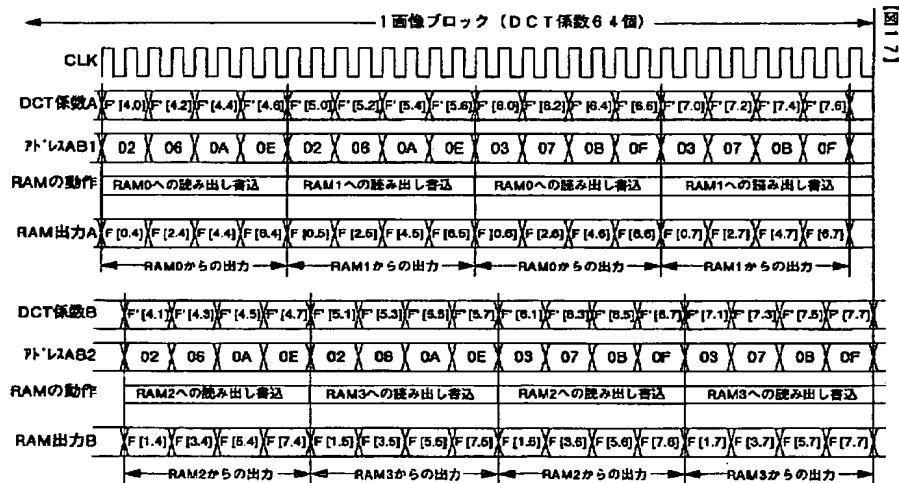
【図21】



【図16】



【図17】

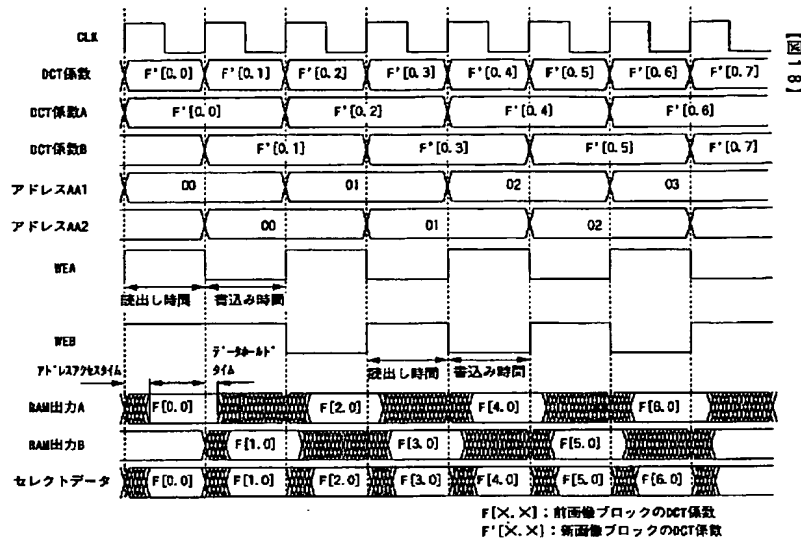


【図33】

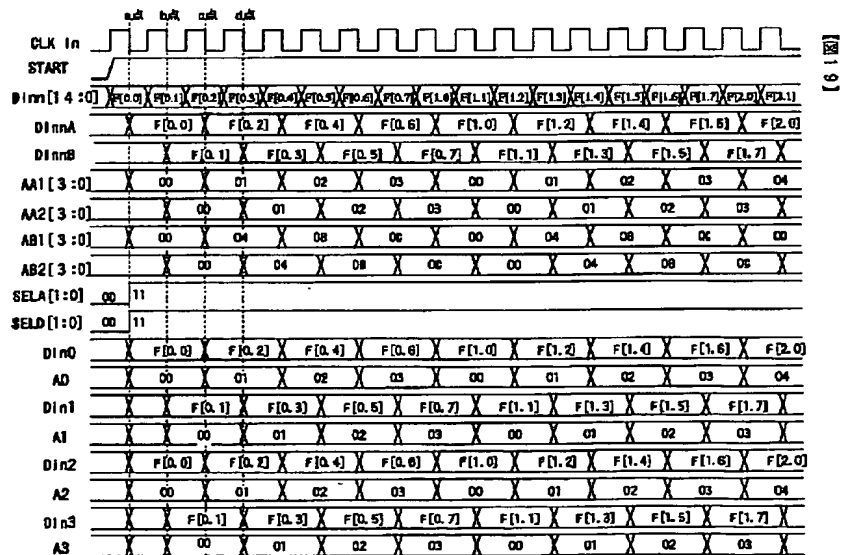
【図33】

入力						出力
SRD0	SRD1	RAM0	RAM1	RAM2	RAM3	Z
L	L	L	X	X	X	L
L	L	H	X	X	X	H
H	L	X	L	X	X	L
H	L	X	H	X	X	H
L	H	X	X	L	X	L
L	H	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

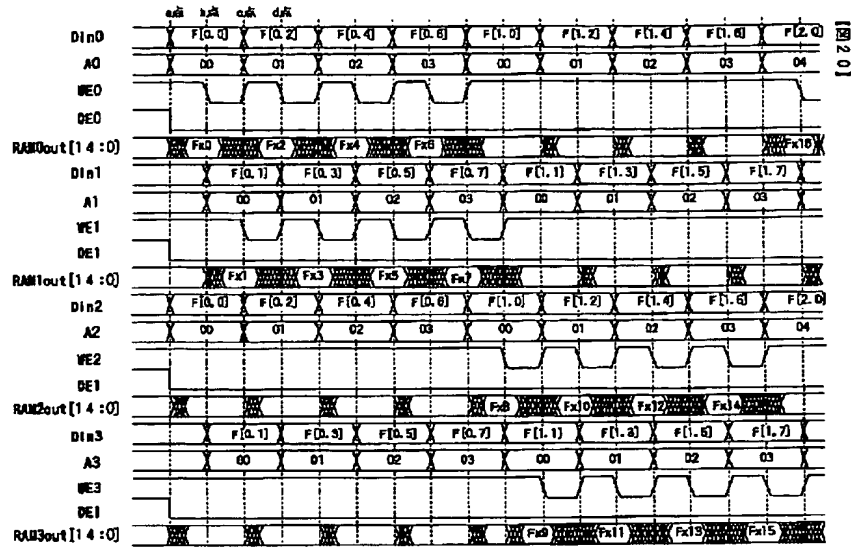
【図18】



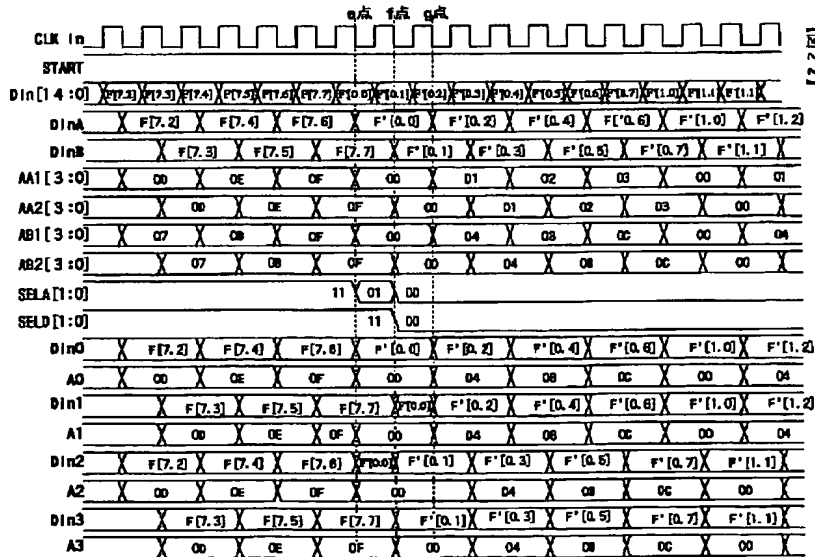
【図19】



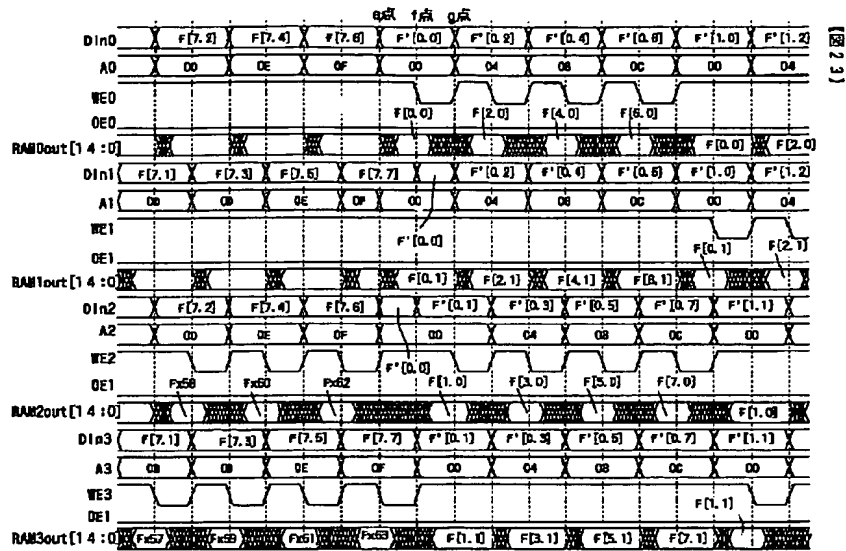
【図20】



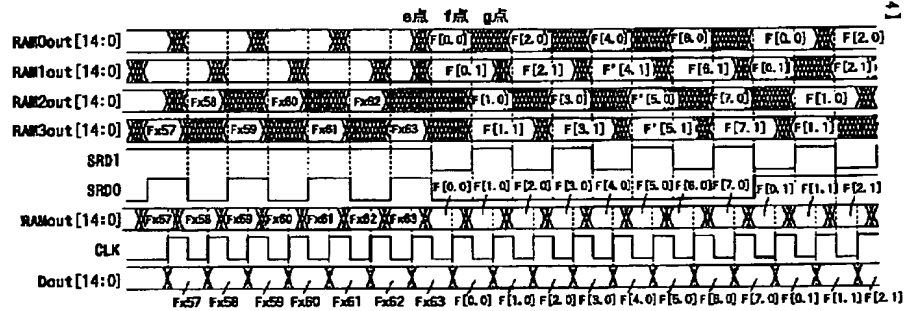
【図22】



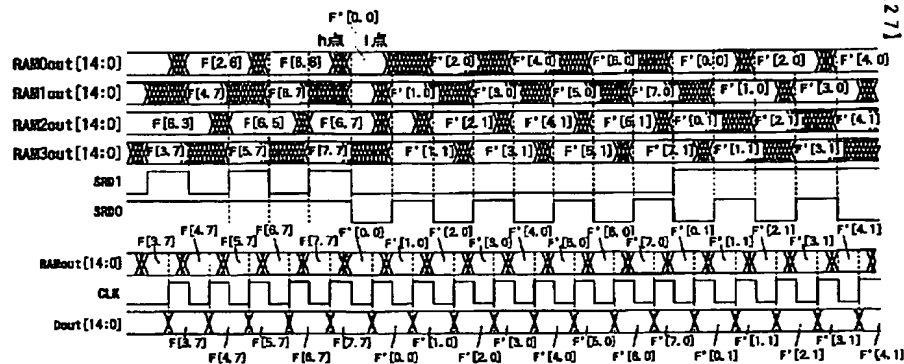
【図23】



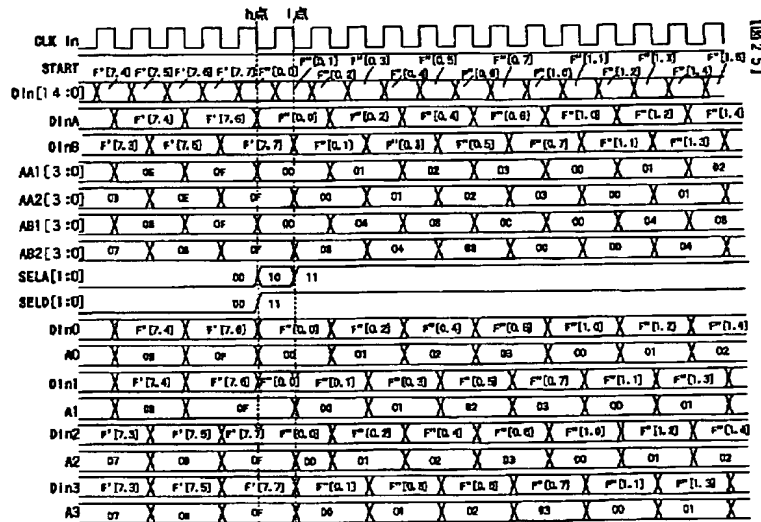
【図24】



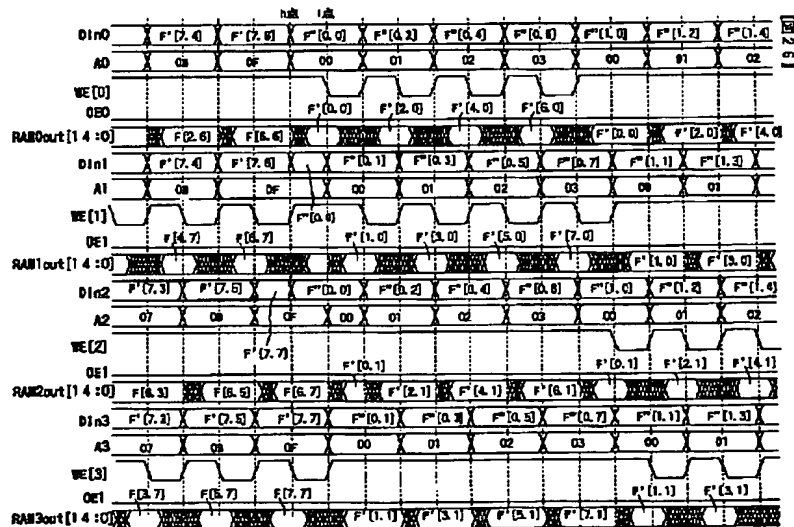
【図27】



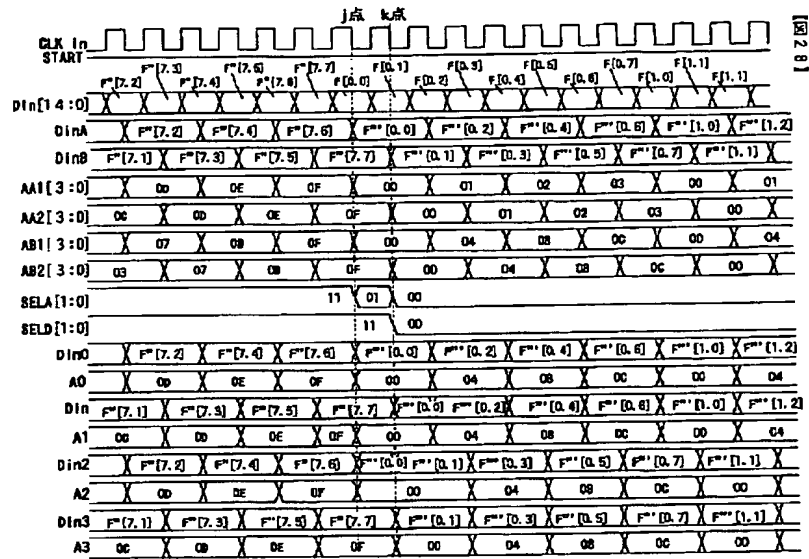
【図25】



【図26】



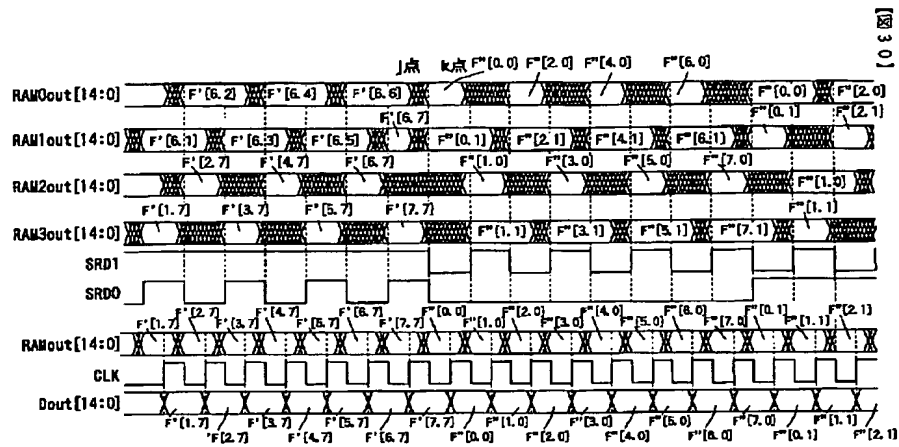
【図28】



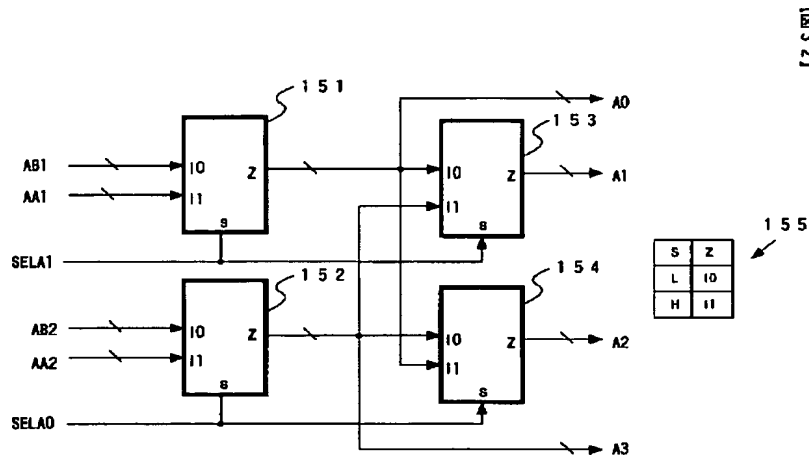
【図29】



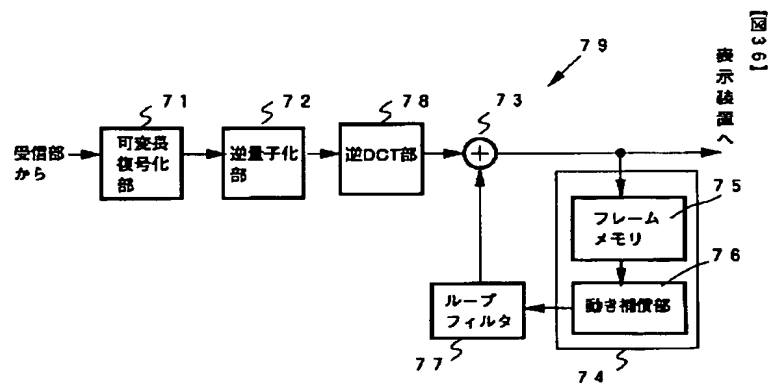
【図30】



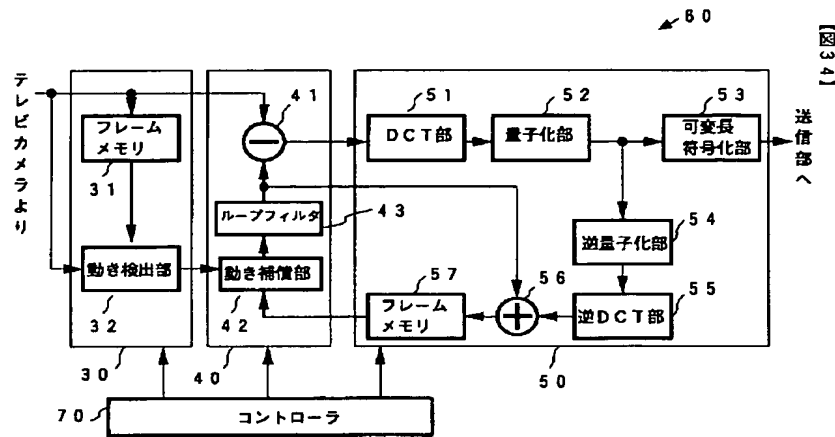
【図32】



【図36】

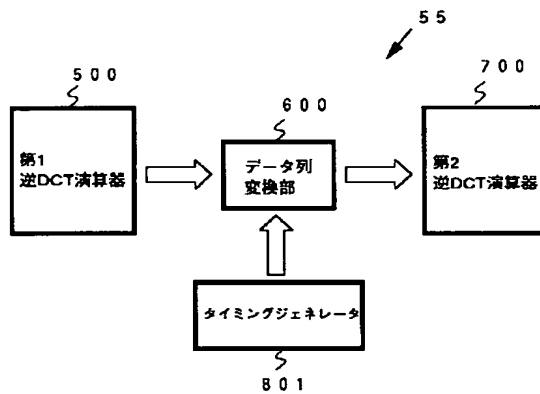


【図34】



【図35】

【図35】



【図37】

